

PCBA焊接质量 可靠性的失效案例分享

一博科技-工程部

Edadoc your best partner



目 录

CONNECTS



01 为什么双排QFN会产生锡裂?

02 为什么密间距芯片会连锡?

03 盘中孔采用何种塞孔方式?

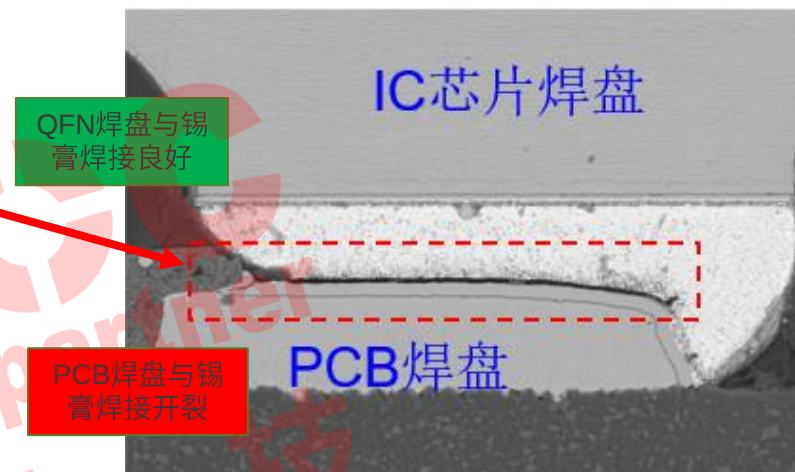
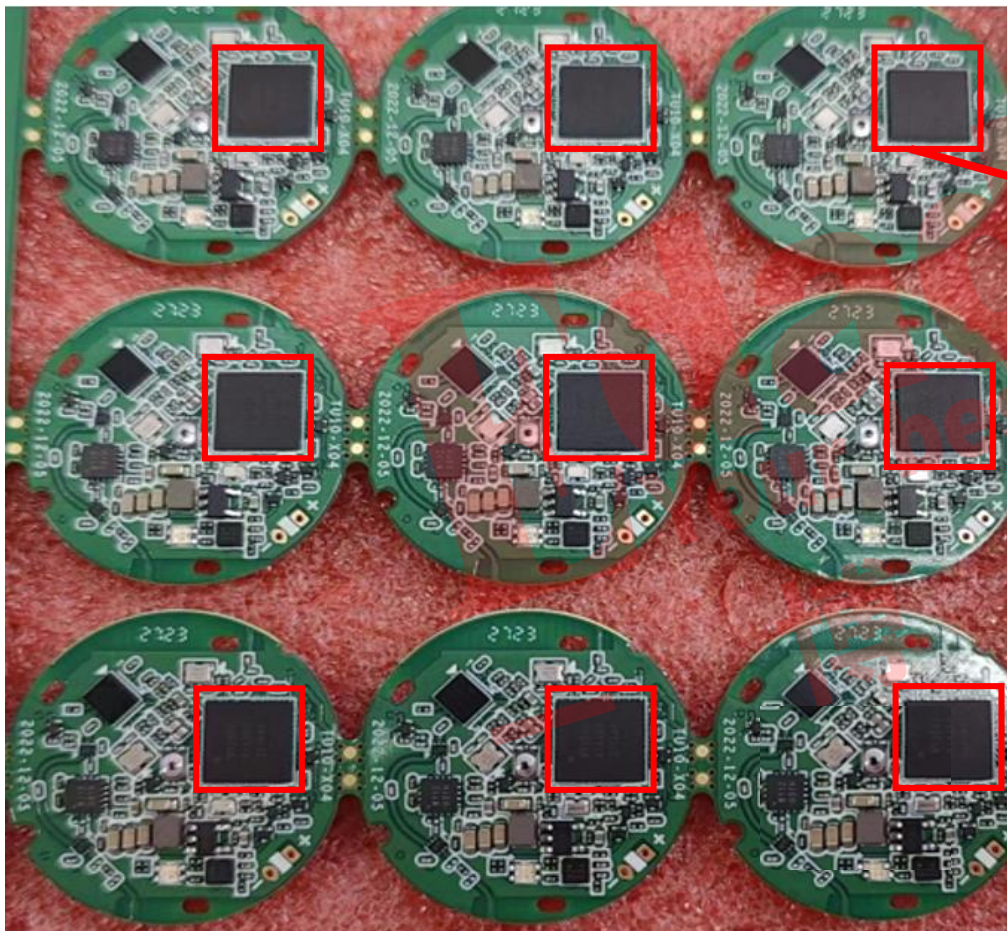
04 常规封装焊盘layout设计误区

PART 01

为什么双排QFN会产生锡裂?



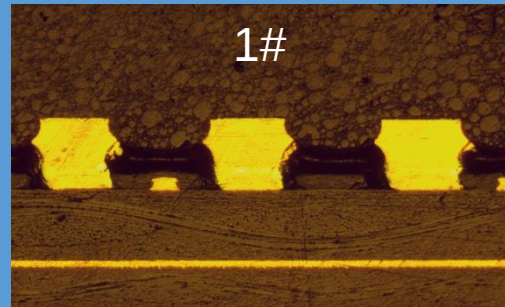
- 产品信息：PCB 尺寸 L*W*H = 107.5mm*110.50mm*8mm
- 拼板数：9 拼板



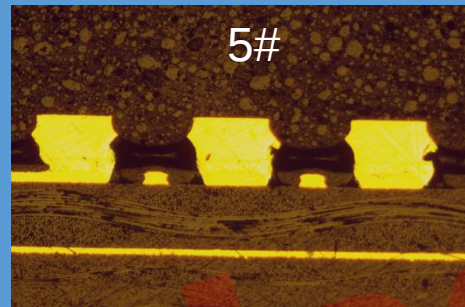
焊点解析：切片结果分析锡膏均匀饱满，锡膏与IC芯片焊盘焊接良好，表明焊接条件正常；但锡膏与PCB Pad焊接后锡裂，异常为PCB Pad与锡膏焊接后合金层结合存在异常。

随机抽取4pcs回流焊的产品，切片验证结果

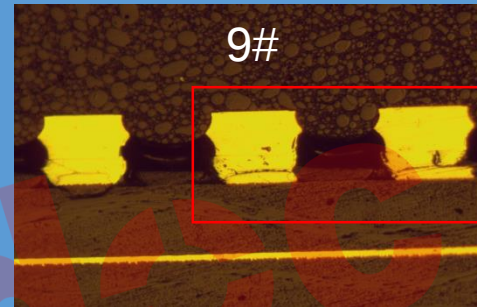
焊接后直接进行4个切片检查，9#有锡裂，5#、13#不明显待确认，1#未锡裂，详情如下。



1#
未锡裂



5#
不明显



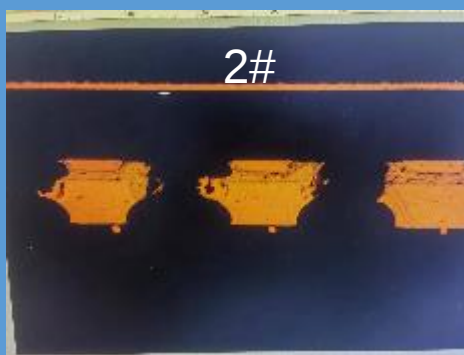
9#
有锡裂



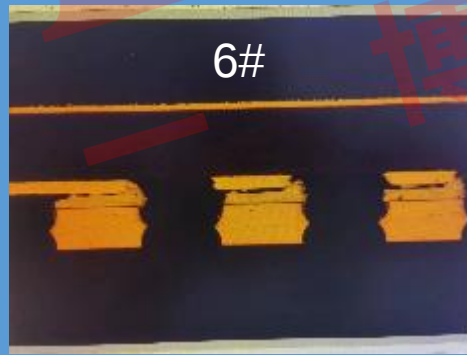
13#
不明显

随机抽取4pcs跌落后的产品，切片验证结果

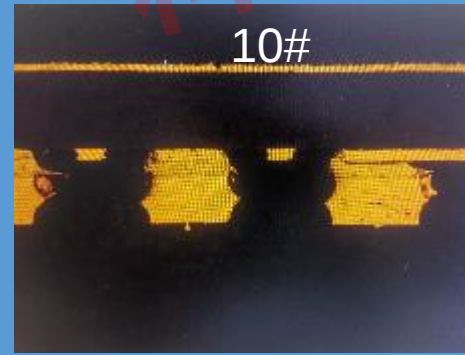
产品组装跌落1.2米20次的4个切片检查，发现均存有存在锡裂现象，锡裂明显，裂缝严重，详情如下。



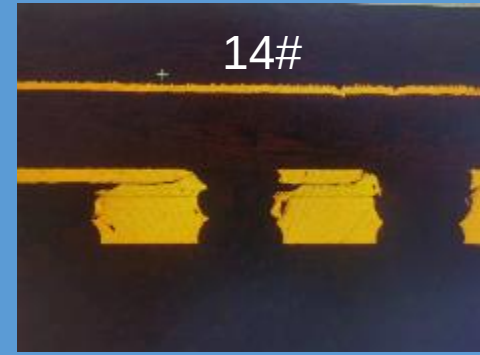
2#
有锡裂



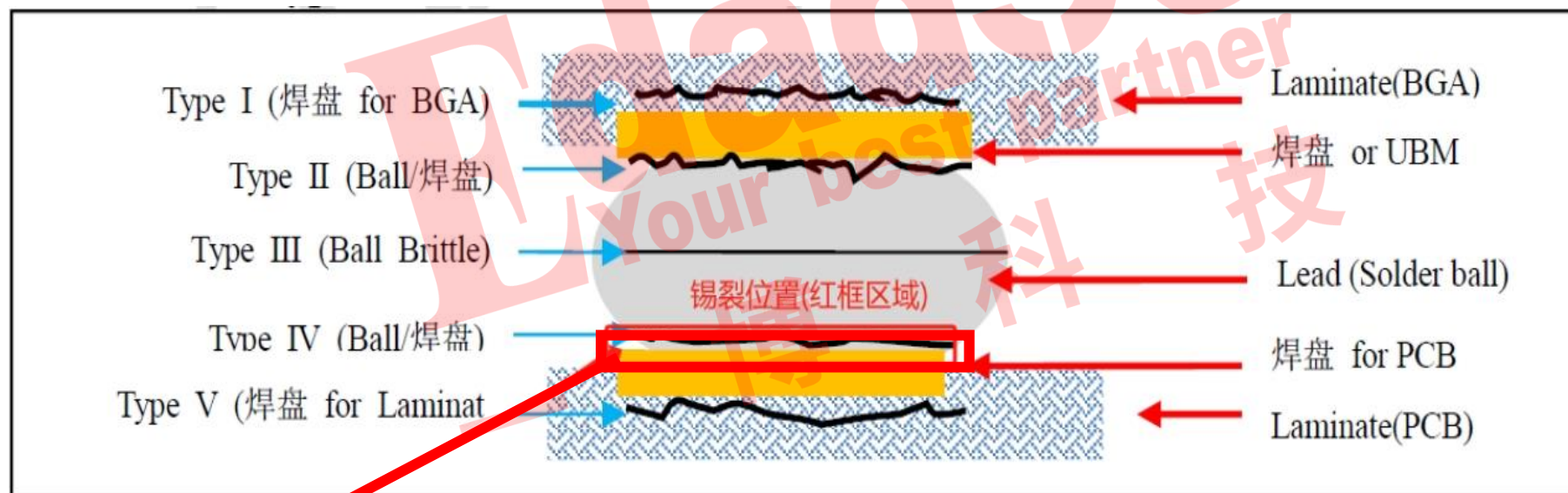
6#
有锡裂



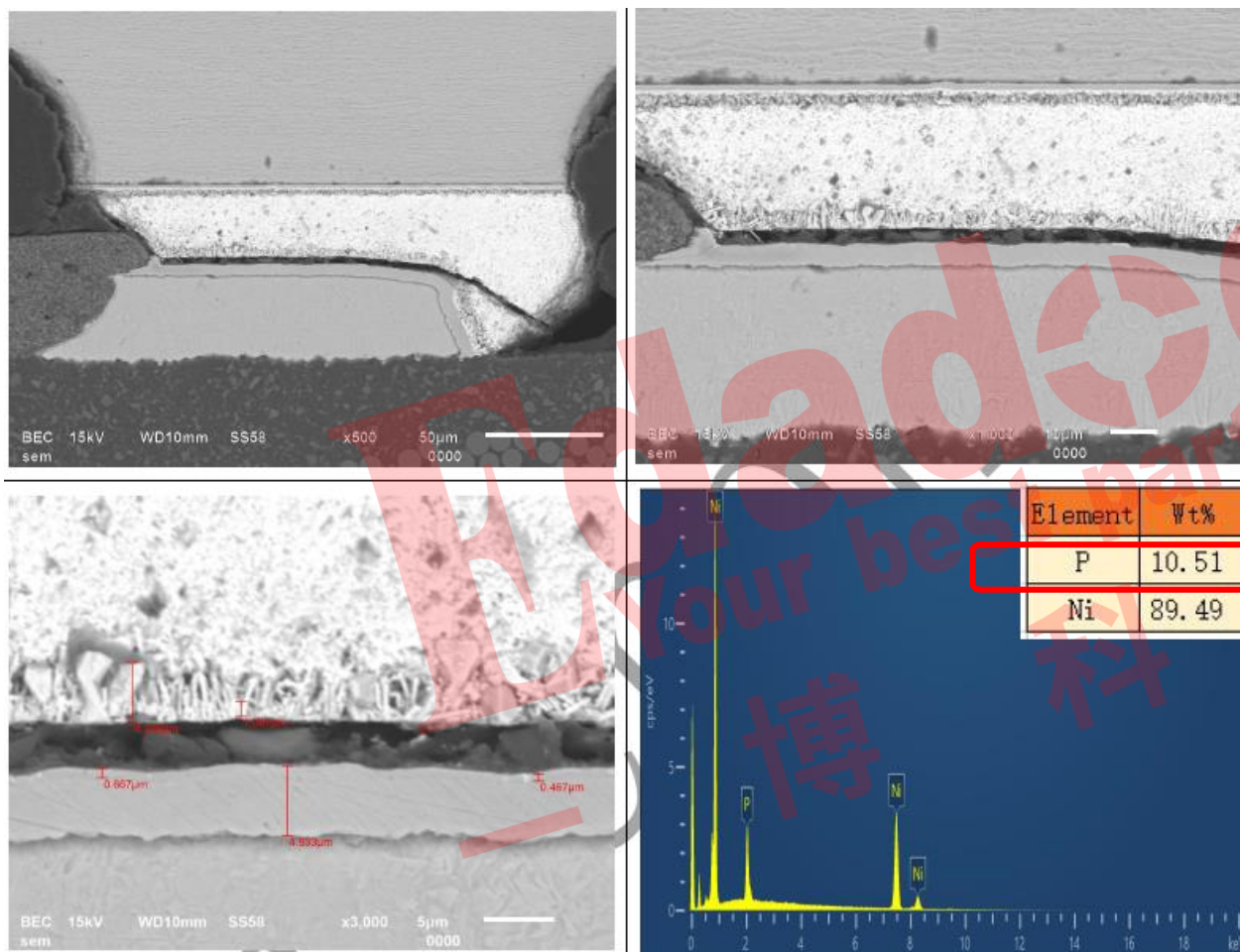
10#
有锡裂



14#
有锡裂



为什么在这个位置发生锡裂？

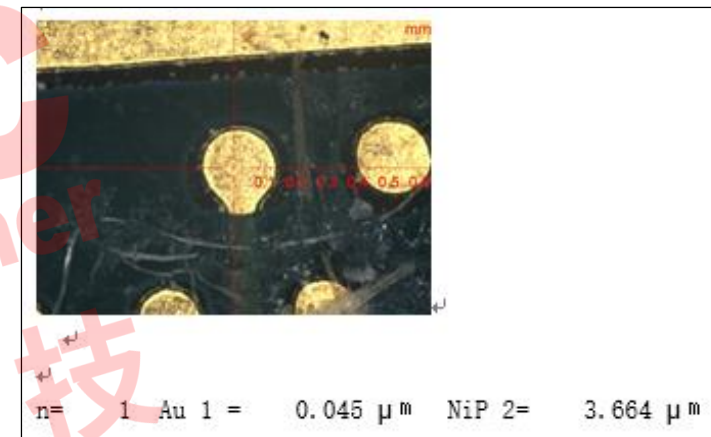
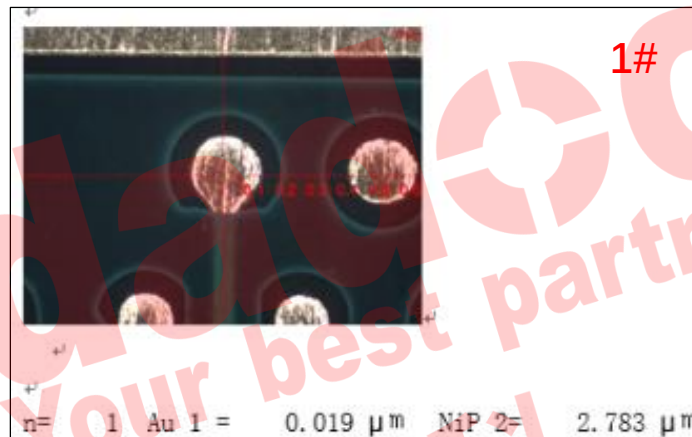


IMC中磷(P)的正常比例该在7%~9%之间，当磷含量偏低的时候，镀层将非常容易受到腐蚀，富磷的含量偏高时，所形成的镀层硬度将明显增加，导致其可焊性下降，也会严重影响可靠焊点的形成。

当前的磷 (P) 偏高

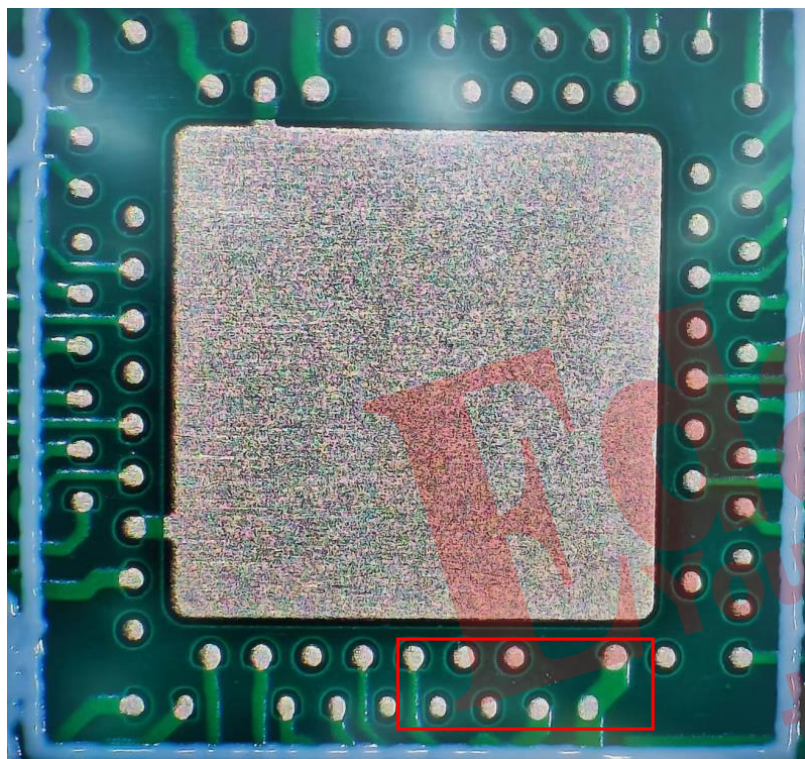
不达标

序号	金厚um	镍厚um
1#	0.019	2.783
2#	0.021	3.361
3#	0.045	3.664
4#	0.031	4.378



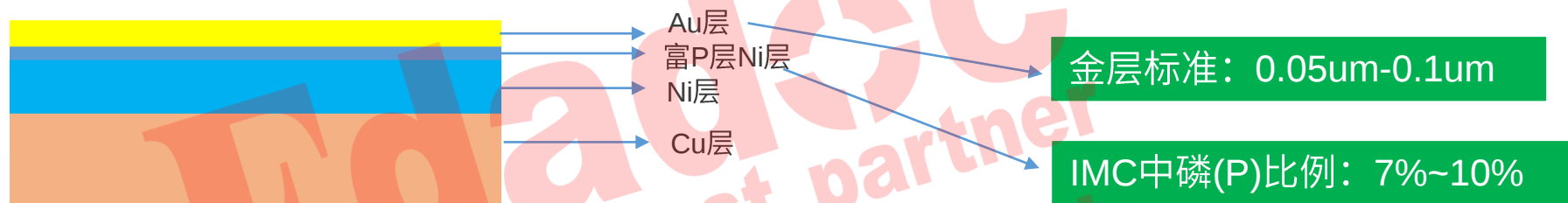
金层偏薄

从而使焊盘的润湿性能下降，可焊性差



焊盘成型尺寸大小不均匀，焊接有少锡虚焊风险

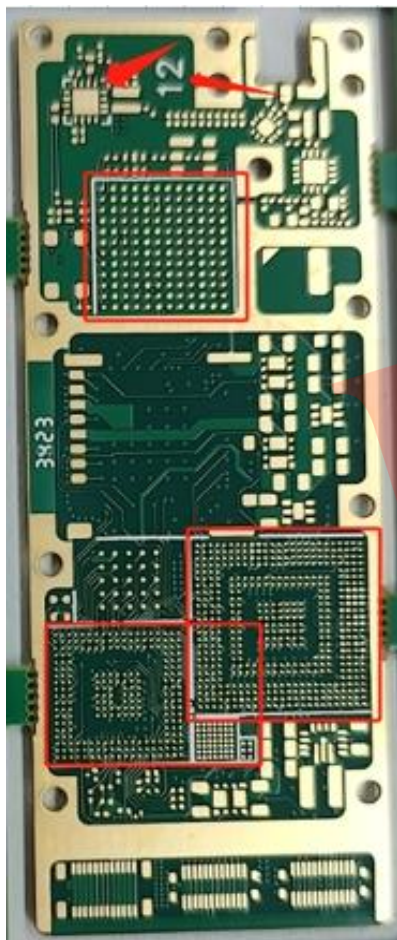
ENIG 表面处理工艺的PCB，特性要求：



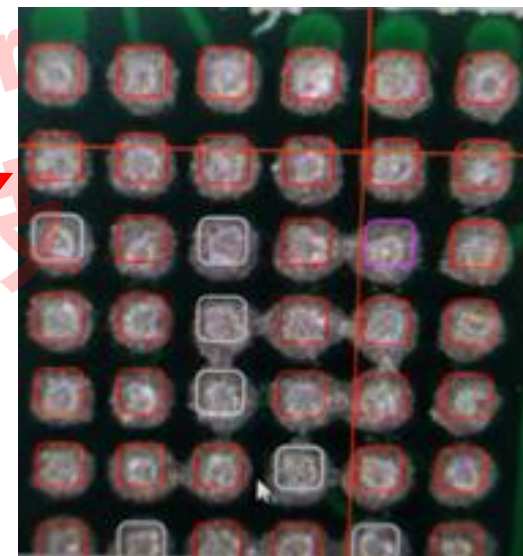
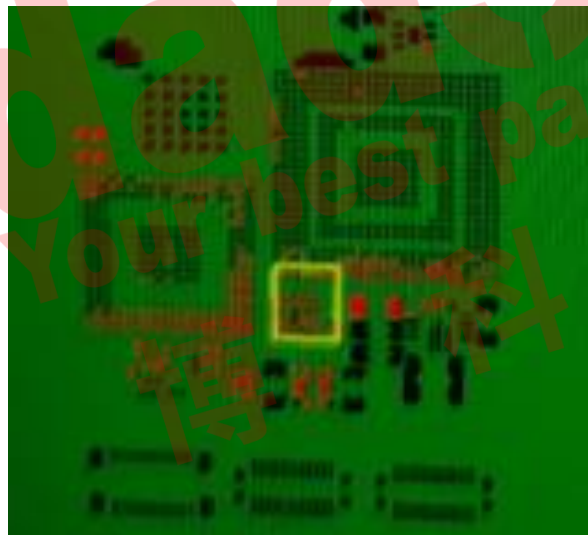
PART 02

为什么密间距芯片会连锡？

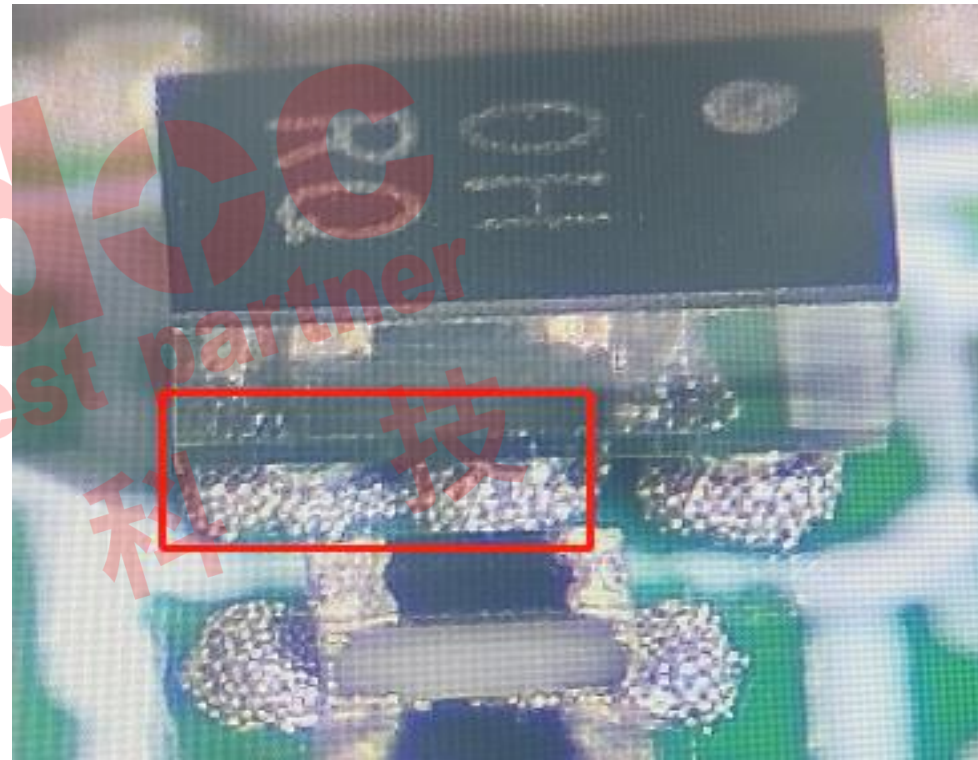
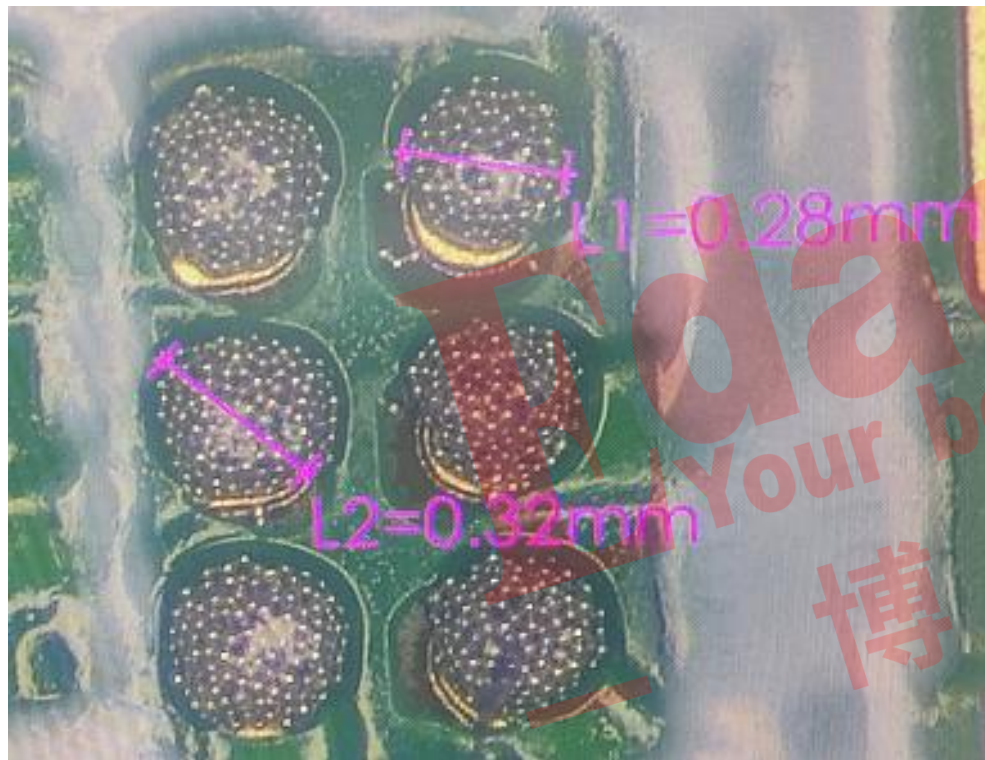




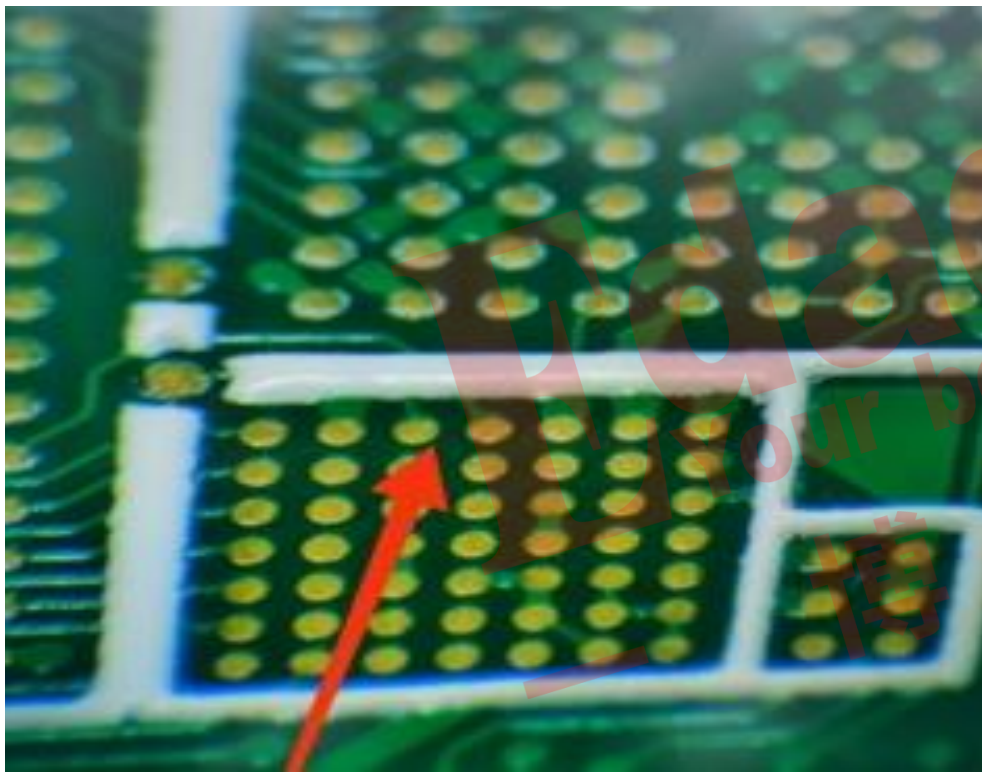
0.4mm Pitch 的BGA 印刷后产生连锡， Why?



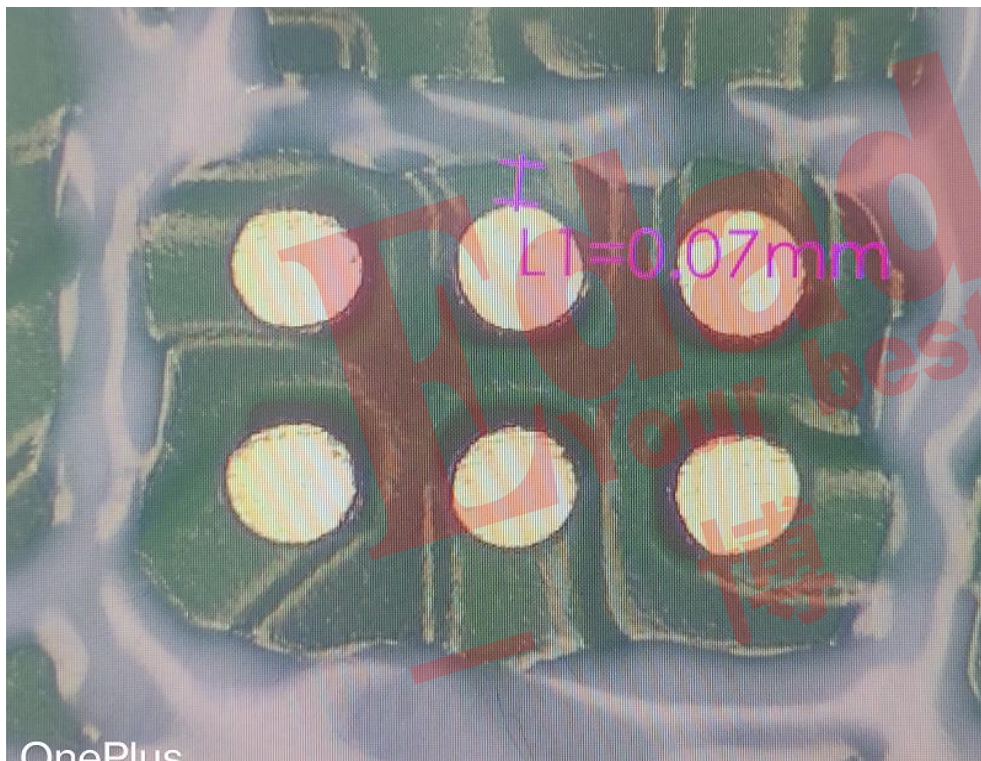
钢网0.25mm开孔，焊锡印刷后直径0.28-0.32mm？

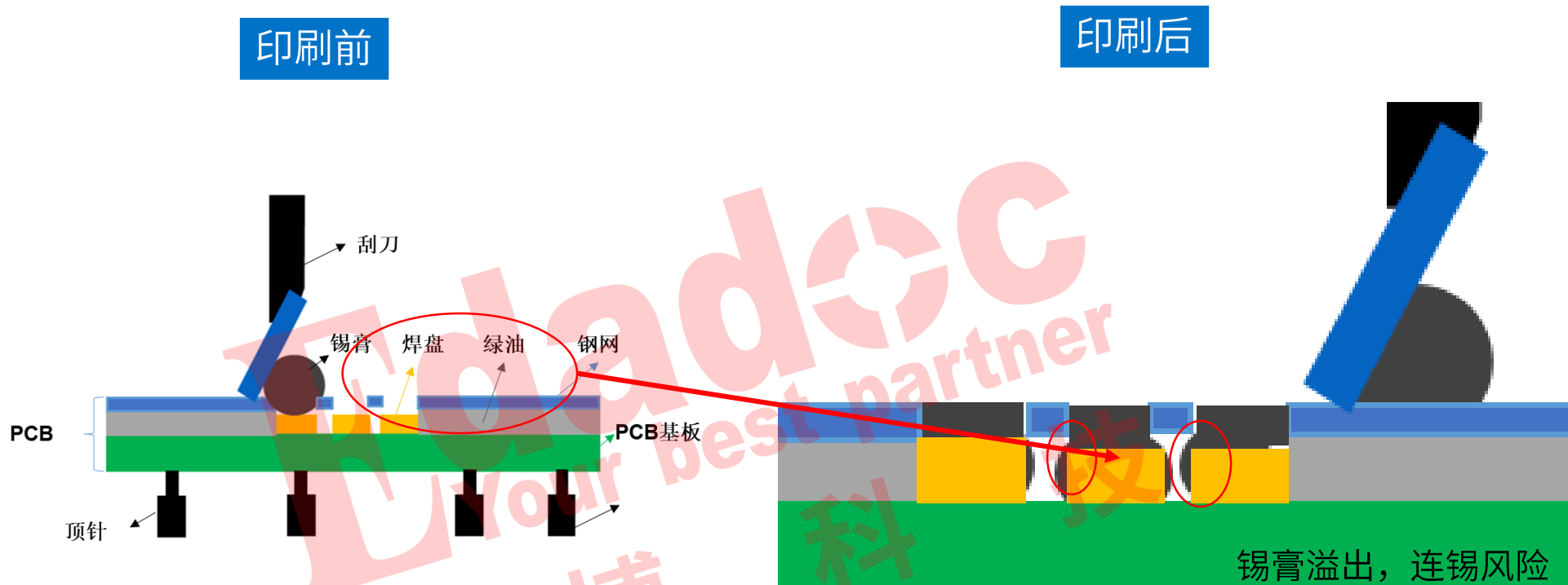


0.1mm绿油厚度合理吗？



丝印与芯片焊盘之间距离0.07mm是否合理？



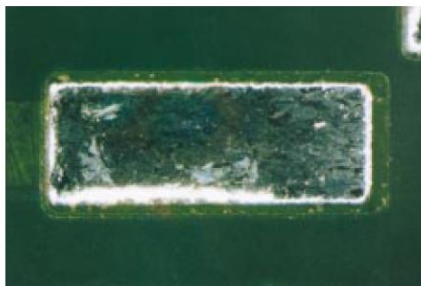


连锡过程分析：

1. 钢网厚度0.08mm，无异常
2. 印刷参数，在SOP范围内，无异常
3. 顶针支撑，无异常
4. 对PCB进行分析发现绿油偏厚，印刷过程中锡膏溢出，有连锡风险。

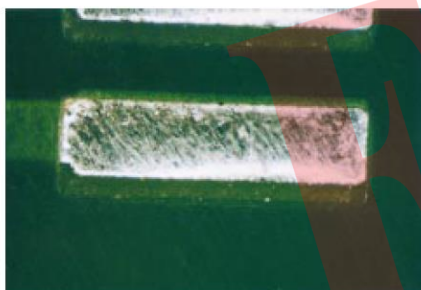
2.9 SOLDER RESIST (Solder Mask)

2.9.3 Registration to Other Conductive Patterns



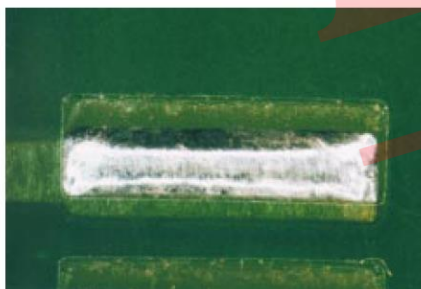
Target Condition – Class 1, 2, 3

- No solder resist misregistration.



Acceptable – Class 1, 2, 3

- Misregistration of solder resist defined lands does not expose adjacent, electrically isolated lands or conductors.
- No solder resist encroachment on edge board printed contacts or test points.
- On surface mount lands with a pitch of 1.25 mm [0.04921 in] or greater, encroachment is on one side of land only and does not exceed 0.05 mm [0.0020 in].
- On surface mount lands with a pitch less than 1.25 mm [0.04921 in], encroachment is on one side of land only and does not exceed 0.025 mm [0.000984 in].



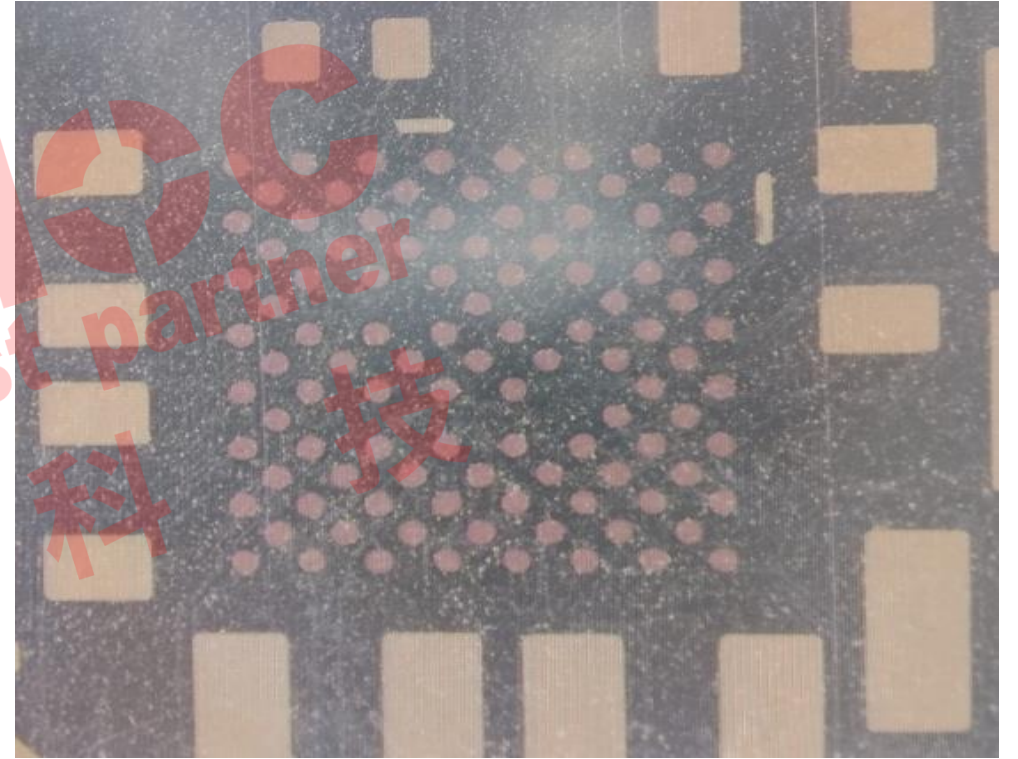
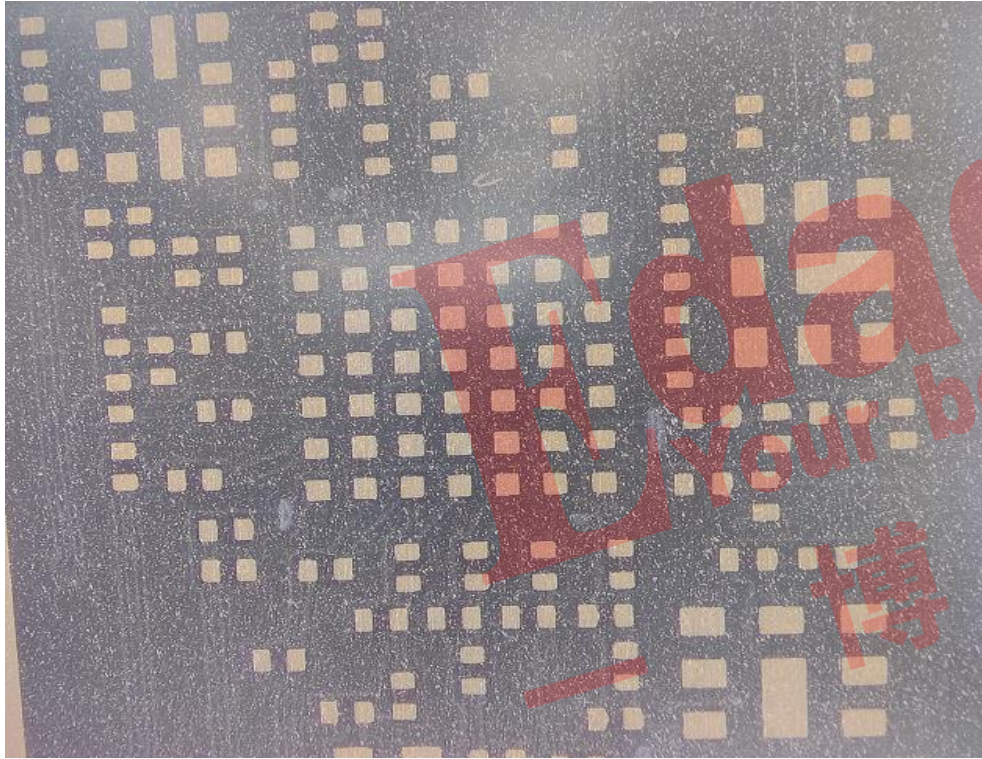
Nonconforming – Class 1, 2, 3

- Defects either do not meet or exceed above criteria.

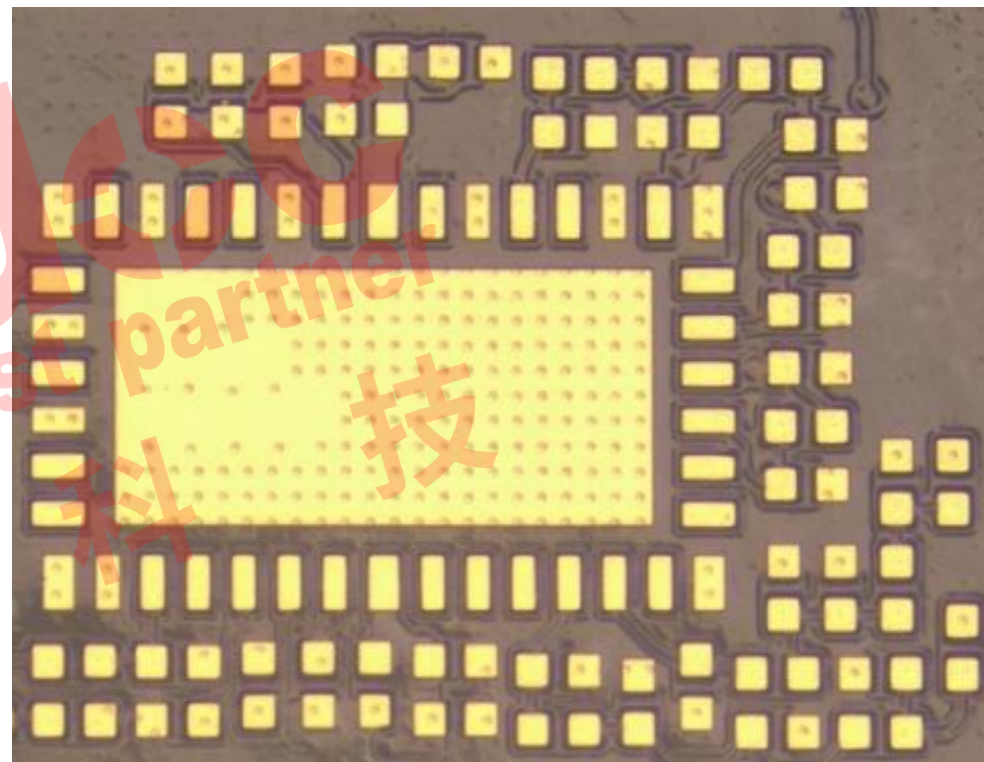
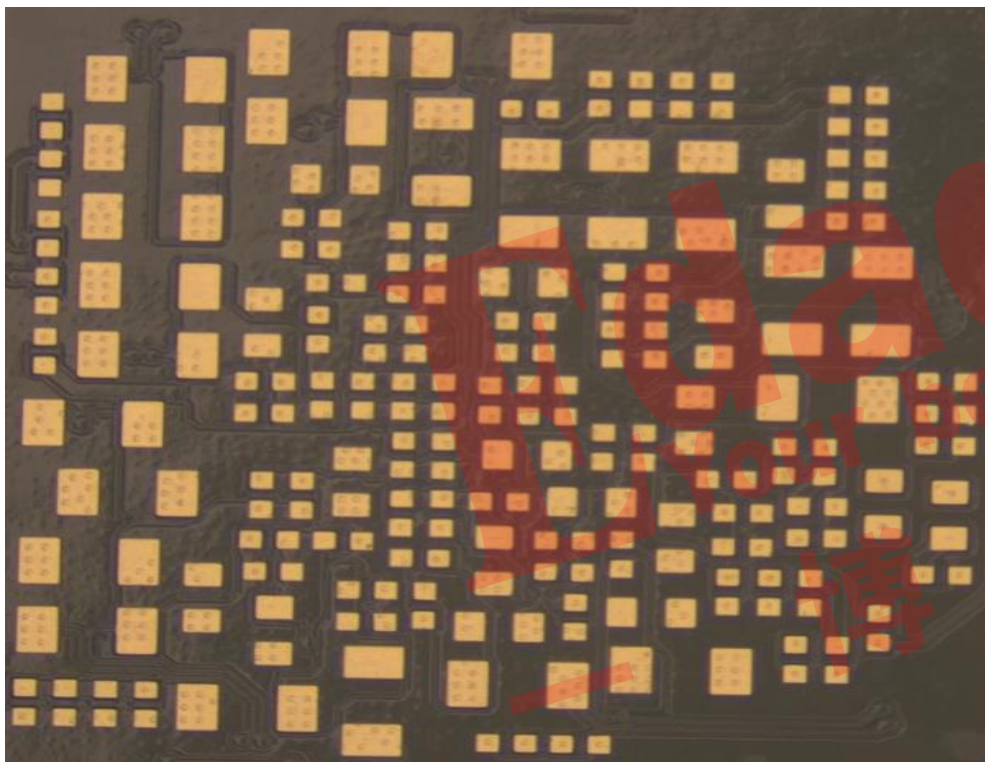
IPC-A-600G对绿油厚度标准定义：

- ✓ Pitch > 1.25mm, 绿油厚度不超过0.05mm
- ✓ Pitch < 1.25mm, 绿油厚度不超过0.025mm。

- 建议：pitch 0.4mm 周边1mm距离区域如有丝印，取消丝印，如图1/2；同时对丝印厚度进行控制，最好不要超过20um（使用喷印工艺丝印质量，将大大优于普通丝印质量）



取消丝印影响：取消丝印，不会对SMT生产产生影响，同时可提高印刷品质

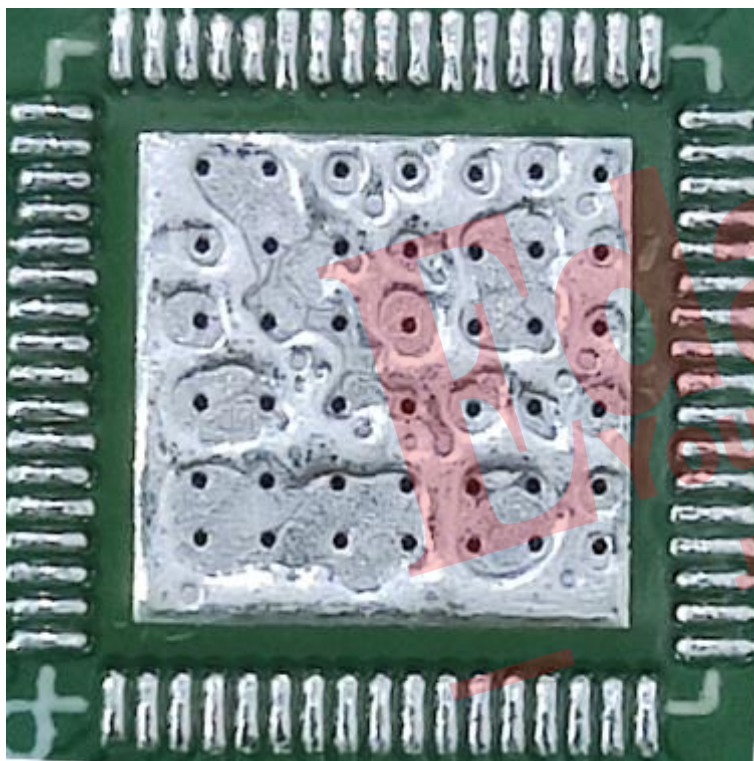


PART 03

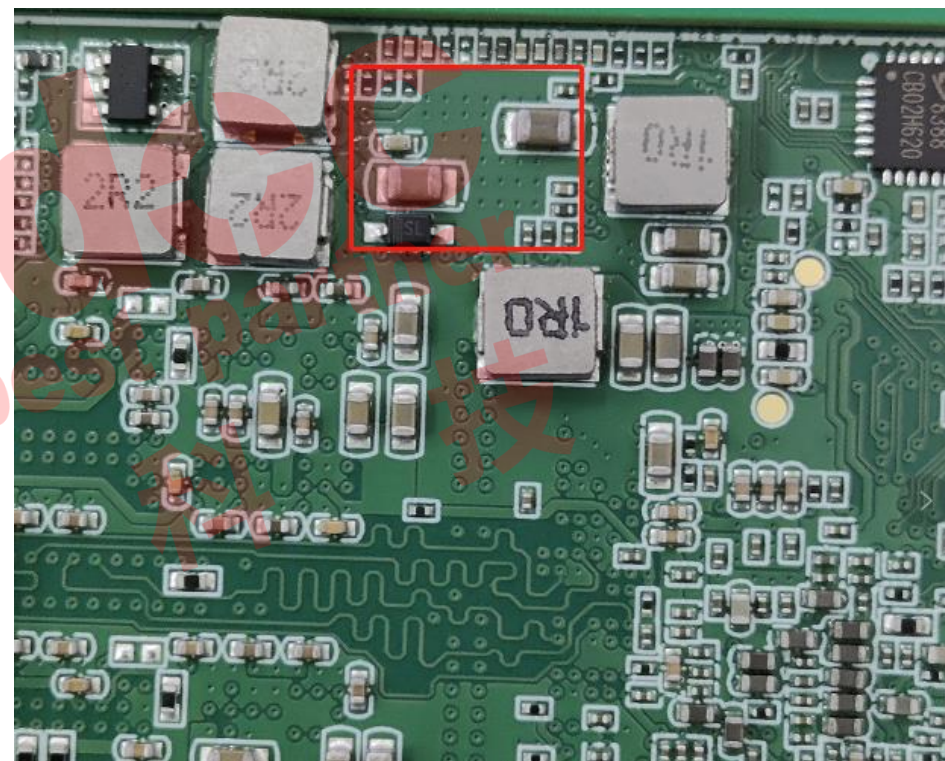
盘中孔采用何种塞孔方式?



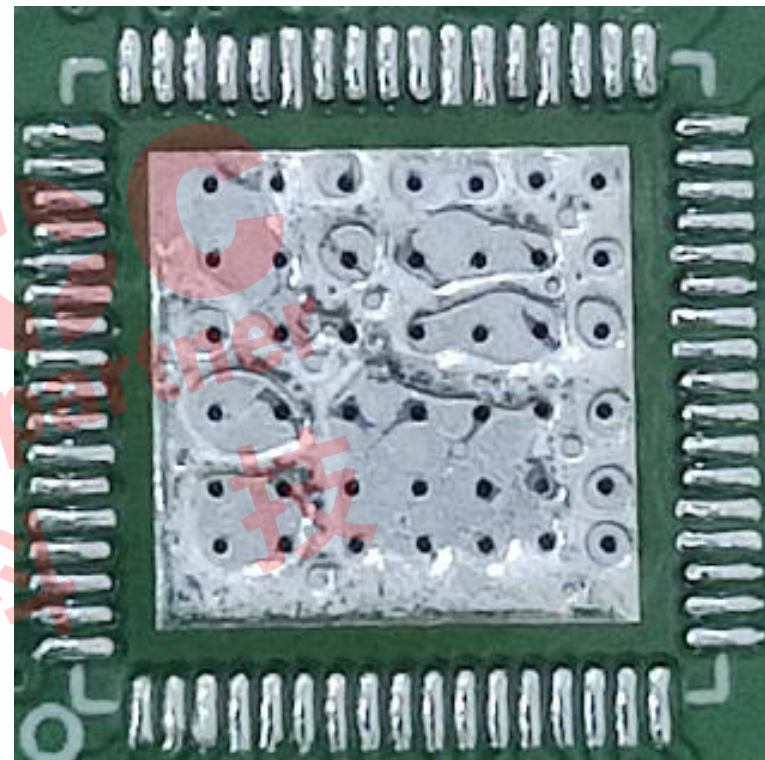
芯片PCB板正面



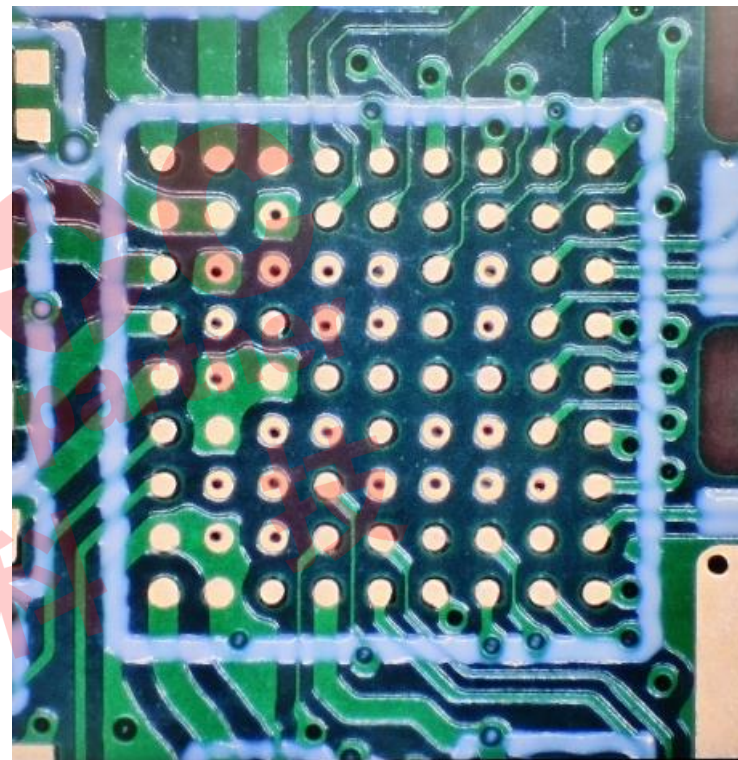
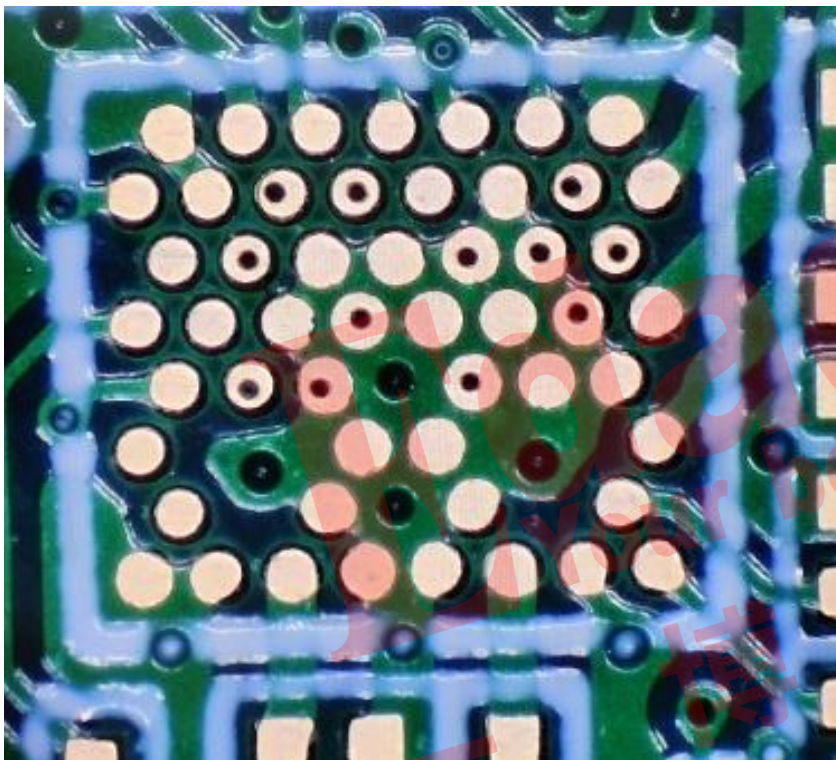
芯片PCB板背面



制版时QFN 接地焊盘上盘中孔采用单面油墨塞孔

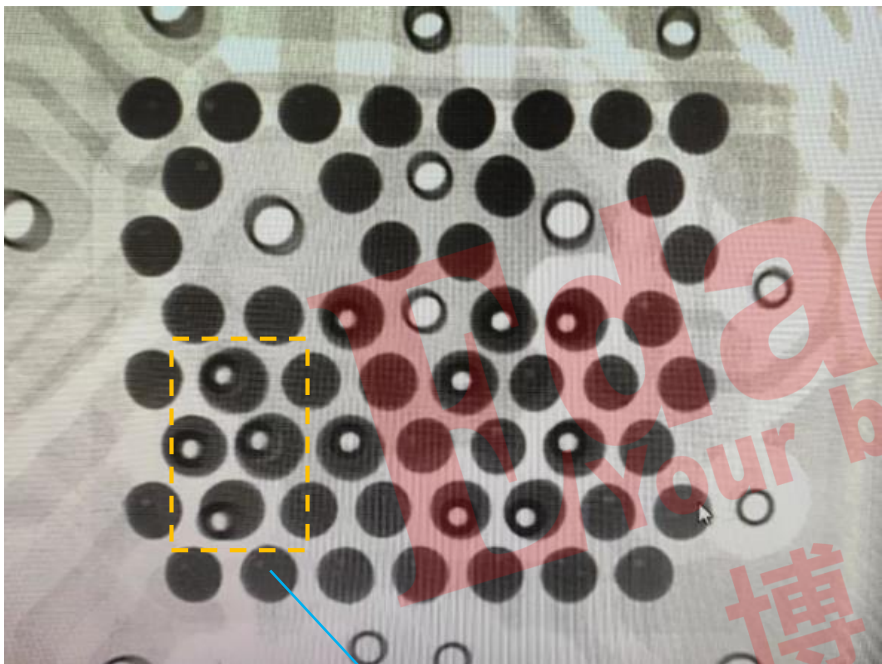


模组贴装到主板上上面时发生模组上面已贴装好的QFN元件浮高现象

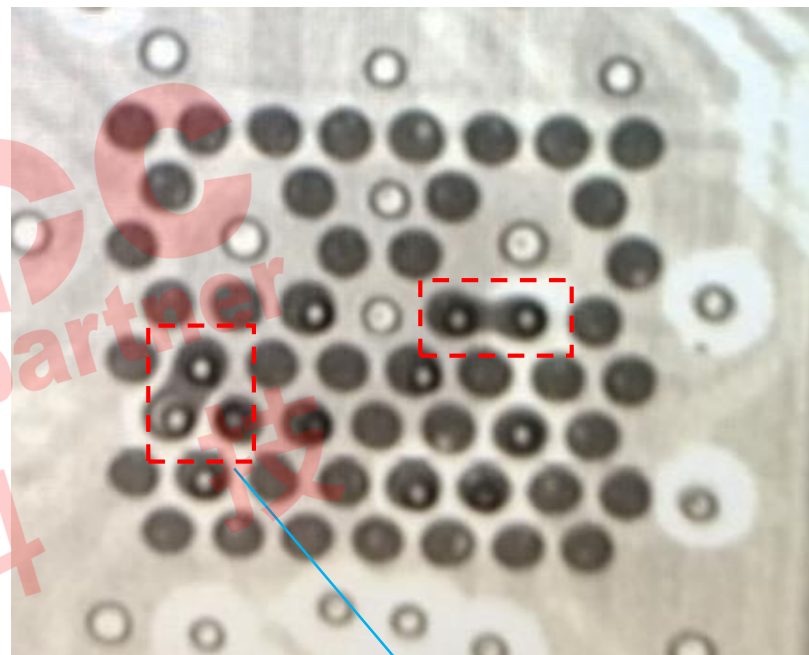


制版时Pitch 0.4和 0.5mm BGA焊盘上盘中孔采用单面油墨塞孔

油墨塞孔后芯片短路？

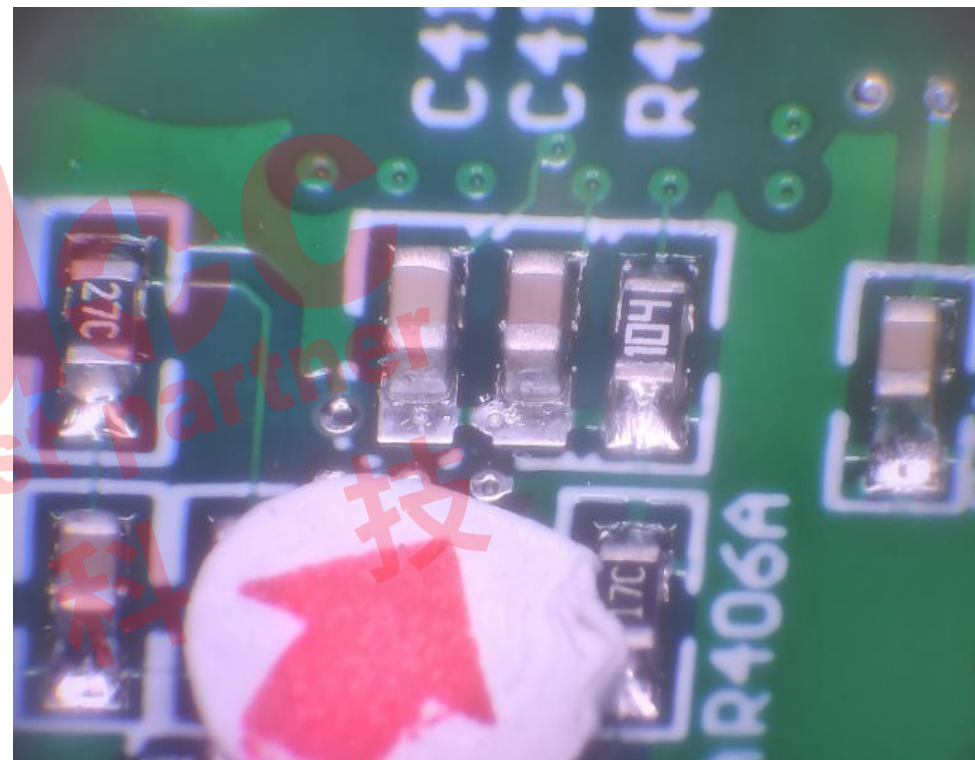
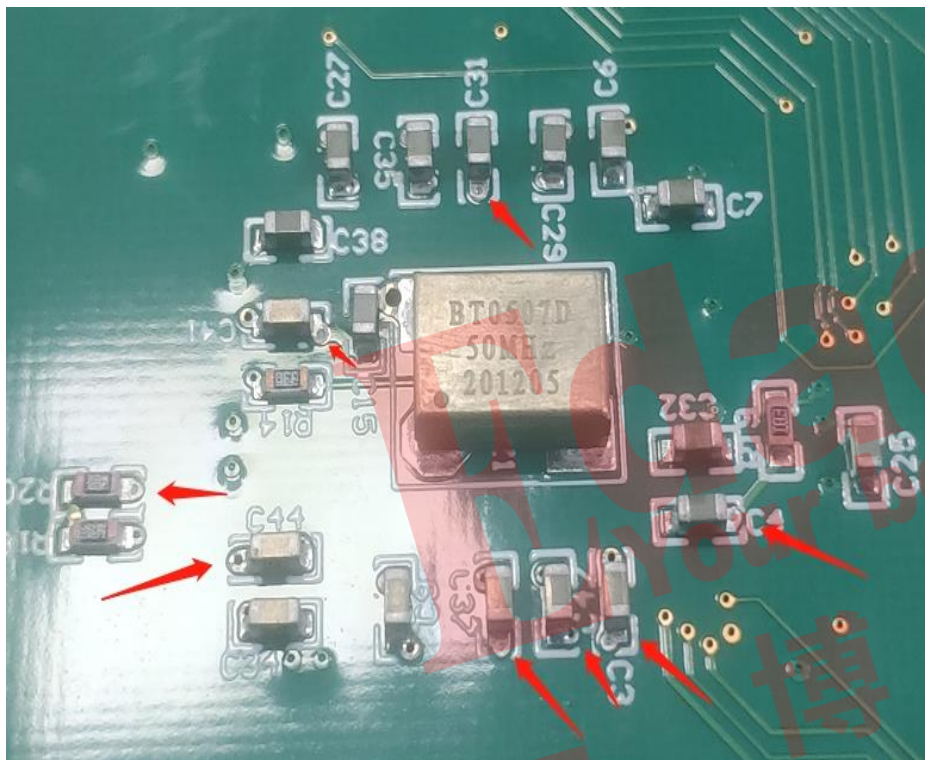


因有盘中孔，焊盘不标准，焊接后焊点直径变大，焊球安全距离变小，已有短路隐患



因盘中孔，孔内残存空气，焊接时空腔气体膨胀变大，导致焊点连锡短路

油墨塞孔后CHIP元件少锡？



制版时CHIP 元件焊盘上盘中孔采用单面油墨塞孔

- PCB焊盘表面填充不完全，不符合IPC-6012C接受标准

文件件定义

3.5.4.8 填塞孔的盖覆电镀当采购文件中规定对填塞孔盖覆电镀时，除非被阻焊膜覆盖住，否则盖覆电镀层不允许有暴露树脂填塞料的空洞。盖覆电镀孔上可见的凹陷（凹坑）和凸起（凸块）如满足表 3-10 的要求，是可接受的。

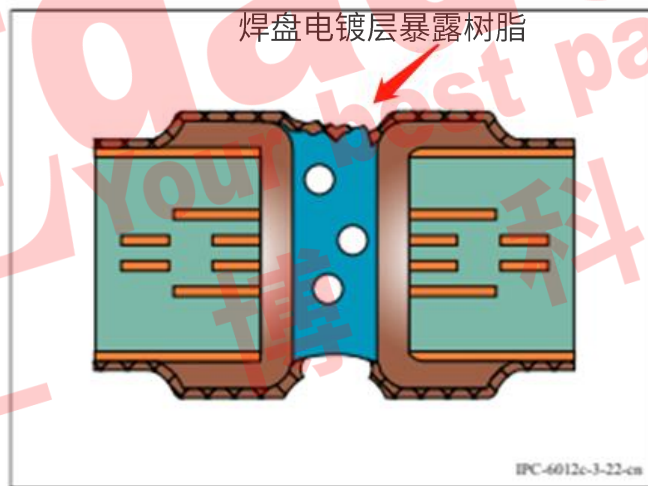
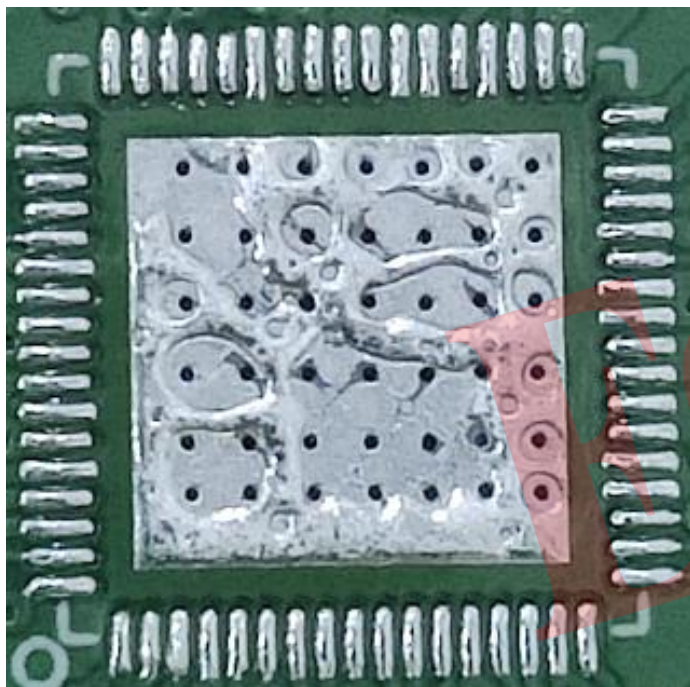


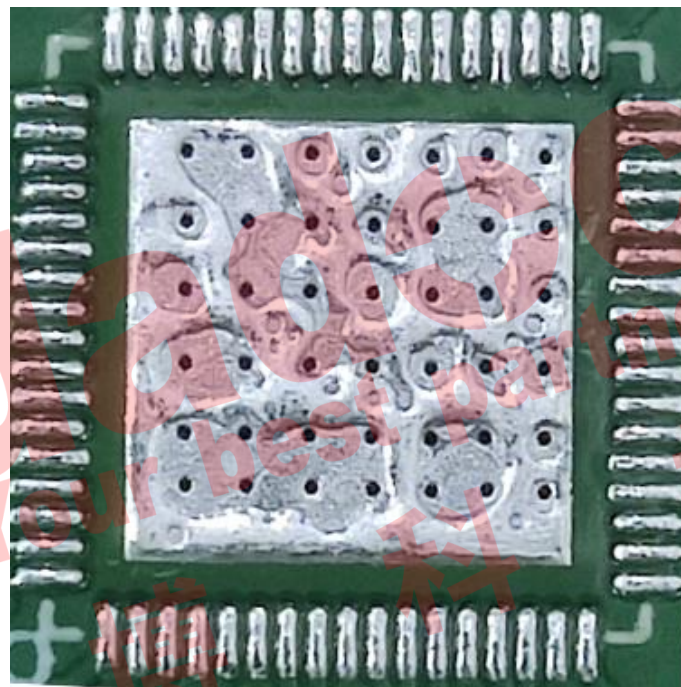
图3-22 铜盖覆镀层空洞

不可接受

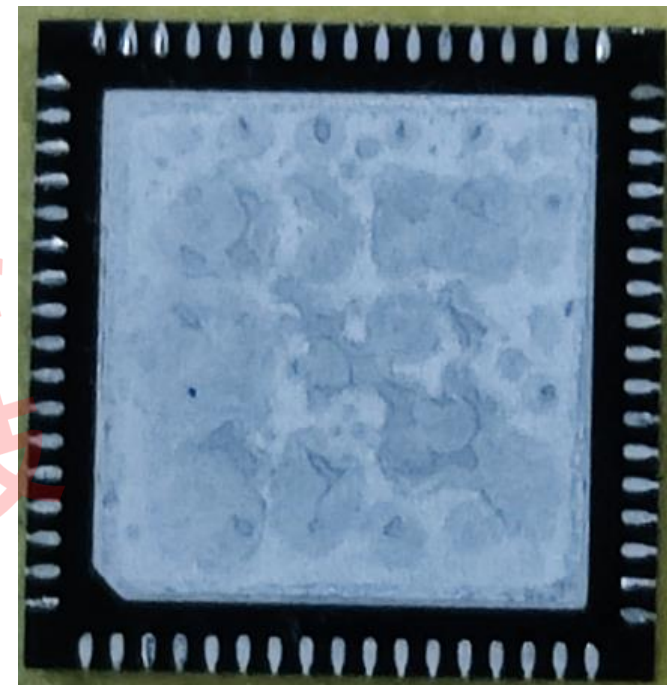
PCB焊盘图片1



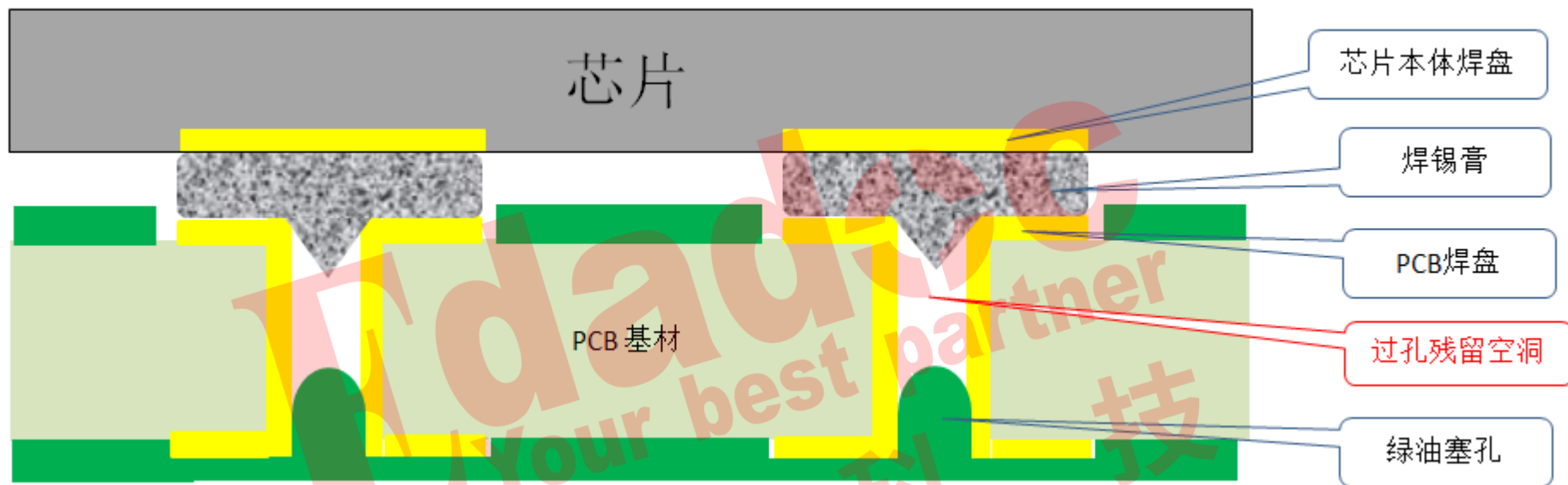
PCB焊盘图片2



芯片图片1

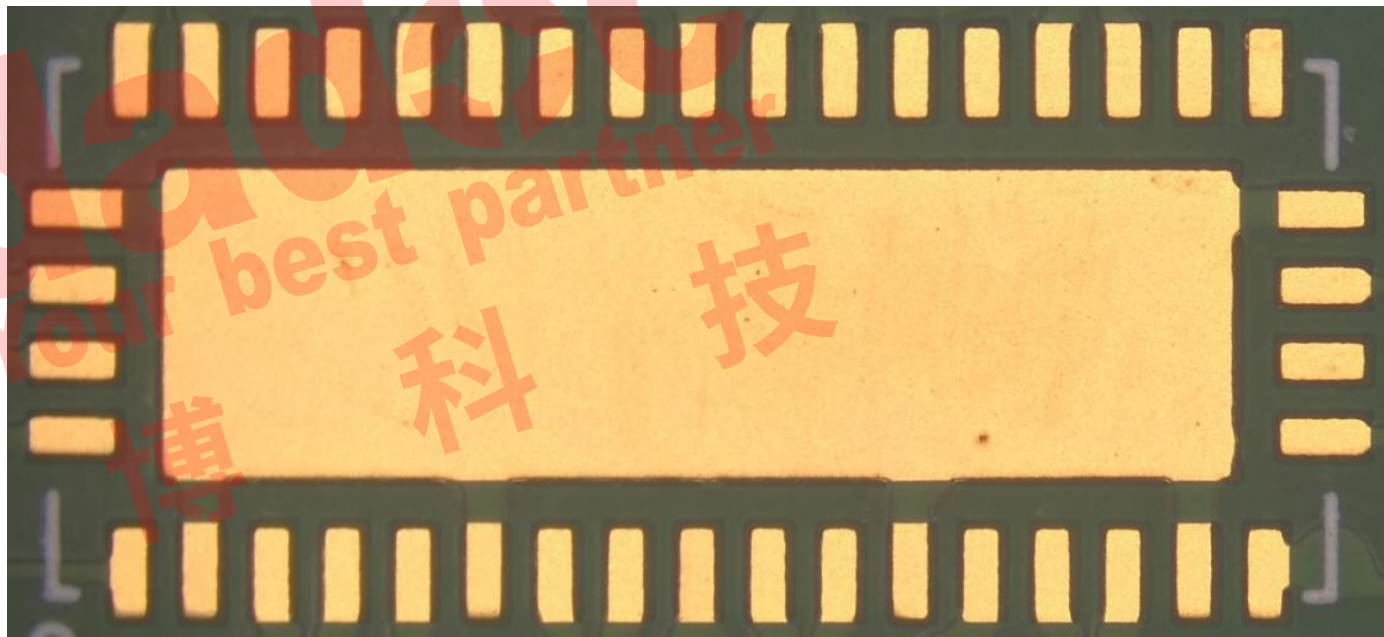
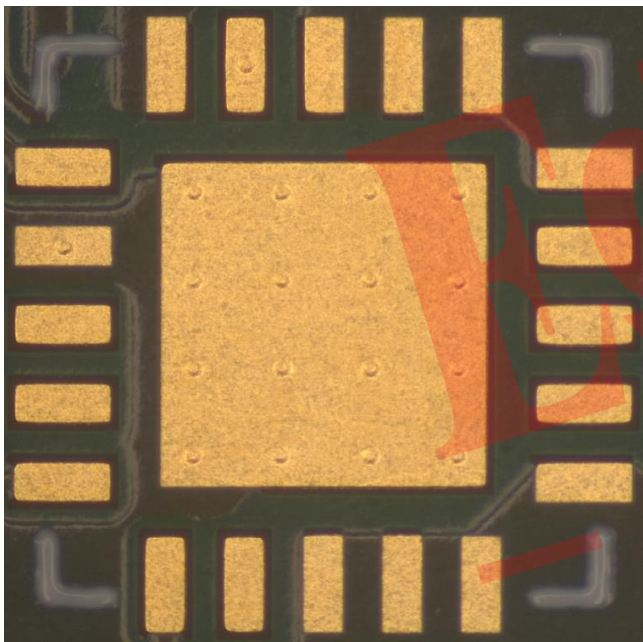


QFN芯片飞件，PCB接地焊盘通孔周边呈现明显的凹陷空洞（排气）现象



过孔残留空气，二次焊接时内部残存空气膨胀，同时产生高温高压，导致芯片飞件

- QFN、LGA类，模组类元件：
 - 优选接地焊盘过孔树脂塞孔、电镀填平
 - 次选不塞孔或油墨单面塞孔（钢网开孔避开过孔）
- BGA类：树脂塞孔、电镀填平



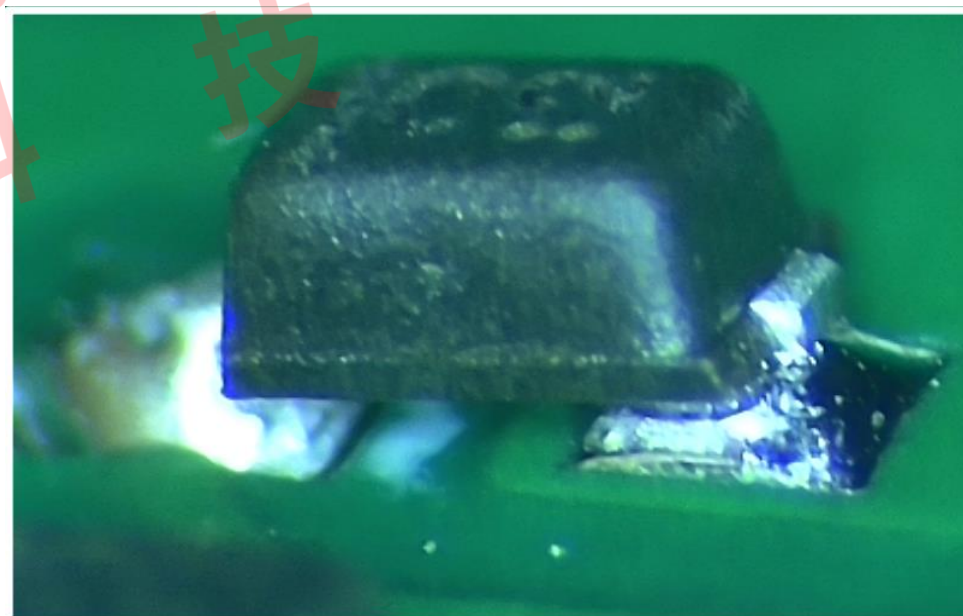
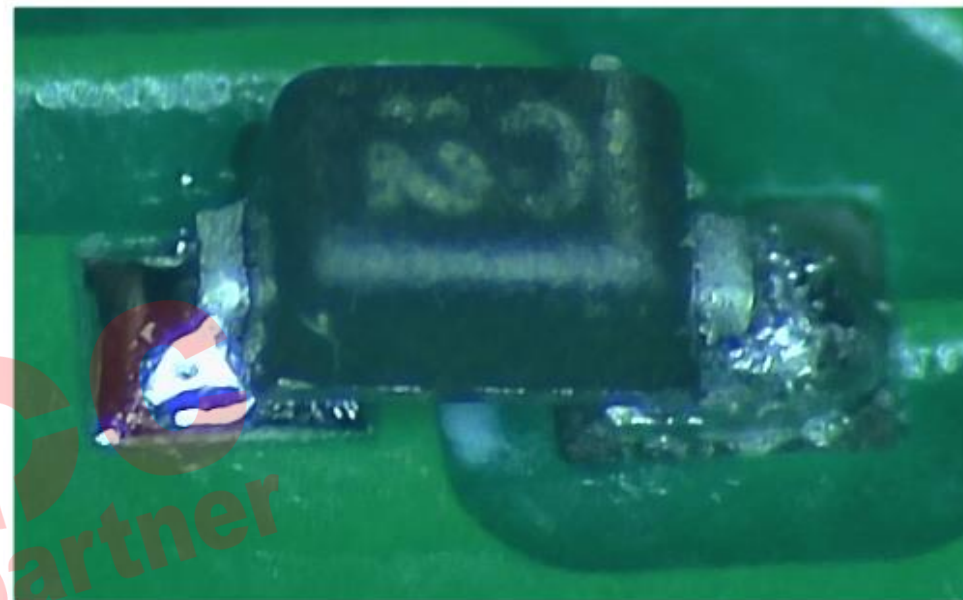
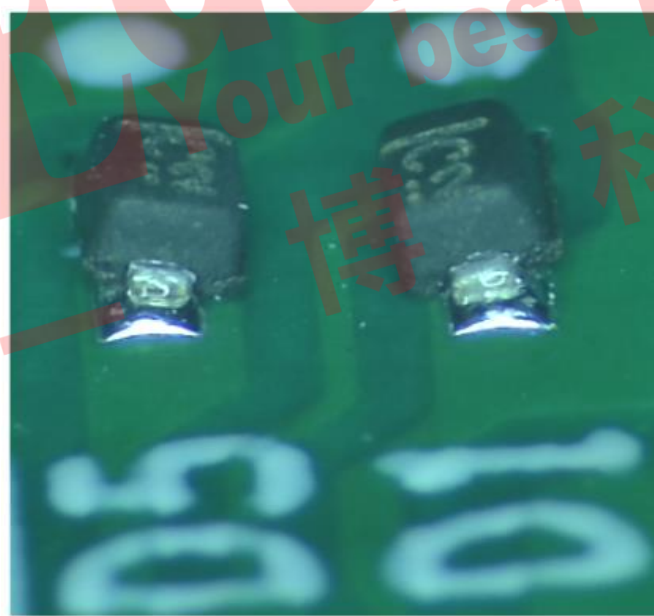
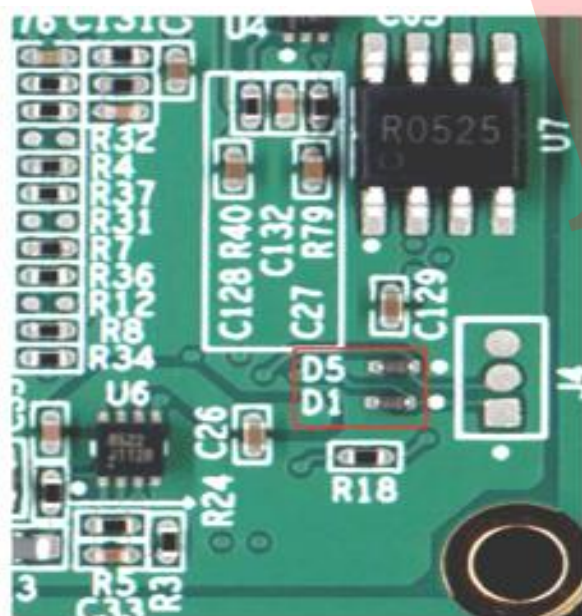
PART 04

常规封装焊盘 layout设计误区



- 某军工客户反馈二极管爬锡高度不够，退回分析并返工并改善请思考如下问题什么原因造成？

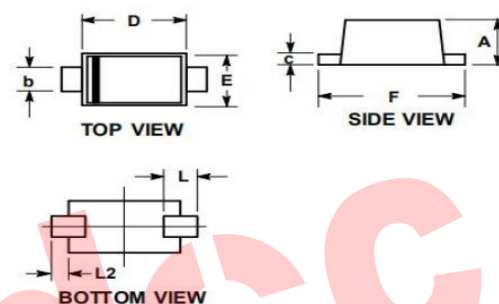
- 二极管器件pin脚爬锡为什么不饱满？
- 二极管器件焊接后为什么轻微歪斜？
- 二极管器件焊接后为什么出现浮高？
- 或其它原因.....



- 常见贴片二极管封装如下图：

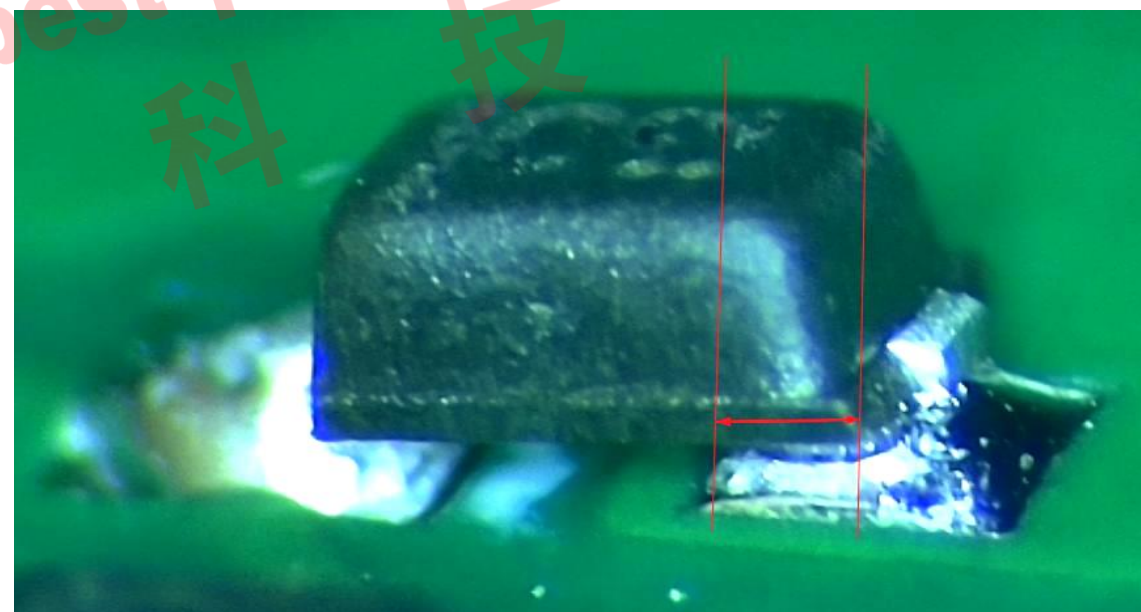
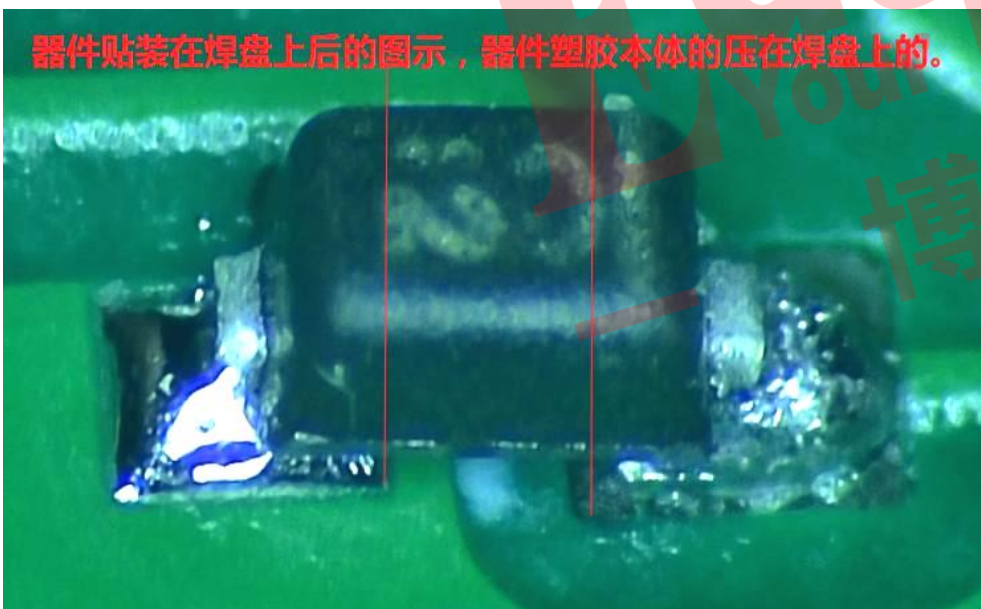


SOD-923 PACKAGE OUTLINE & DIMENSIONS



SYM	DIMENSIONS					
	MILLIMETERS			INCHES		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.39	0.42	0.45	0.016	0.017	0.018
b	0.15	0.20	0.25	0.006	0.008	0.010
c	0.07	0.12	0.17	0.003	0.005	0.007
D	0.75	0.80	0.85	0.030	0.032	0.034
E	0.55	0.60	0.65	0.022	0.024	0.026
F	0.95	1.00	1.05	0.038	0.040	0.042
L		0.19 REF			0.007 REF	
L2	0.05	0.10	0.15	0.002	0.004	0.006

二极管贴装后，接近三分之一的塑胶本体是压在焊盘上，焊盘内距及宽度没有按照二极管标准封装设计，这种焊盘设计在开制钢网时不能做清晰设别，需改善焊盘长宽或优化钢网开孔可解决；

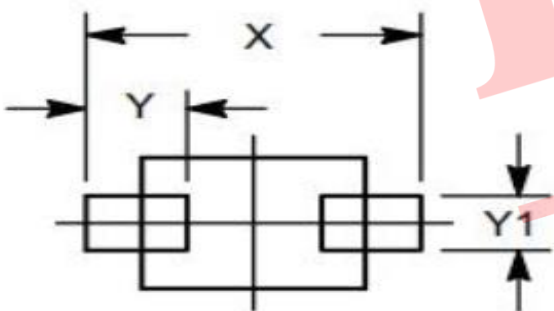


- 常规二极管虚假焊、浮高、歪斜、锡珠产生原因与对策
- 二极管：从异常图片看，有两个因素会导致；
 1. 二极管焊接端焊盘内距、宽度不匹配，二极管器件塑封装本体贴装后会挤压到锡膏，锡膏融化时把元件顶起。
 2. 设计工程师没有按照零件规格书推荐焊盘及公司标准封装焊接设计二极管之PCB PAD封装。
- 改善措施：

焊接厂：可以通过优化钢网开孔克服设计问题，优化钢网开孔设计内距及焊盘宽度尽可能与器件可焊端匹配。

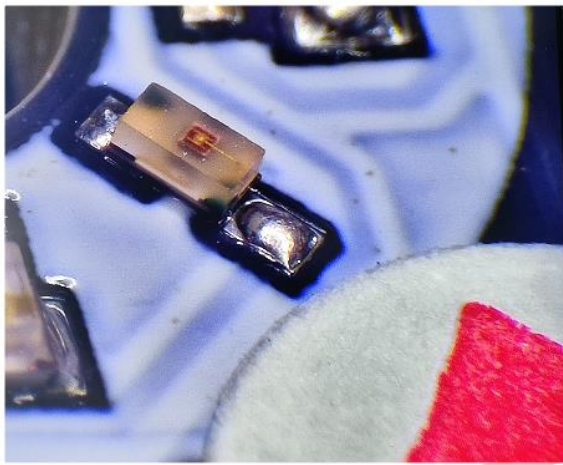
客户：重新优化器件焊盘设计同时参考零件规格书中推荐焊盘或找一博封装工程师推荐标准焊盘。

SUGGESTED LAND PATTERN

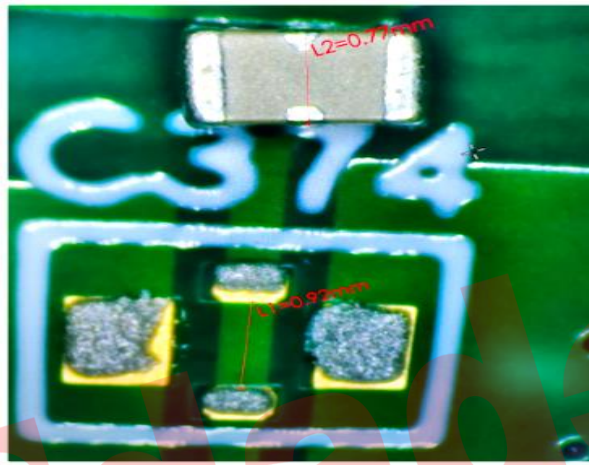


SYM	DIMENSIONS	
	MILLIMETERS	INCHES
X	1.20	0.048
Y	0.36	0.014
Y1	0.25	0.010

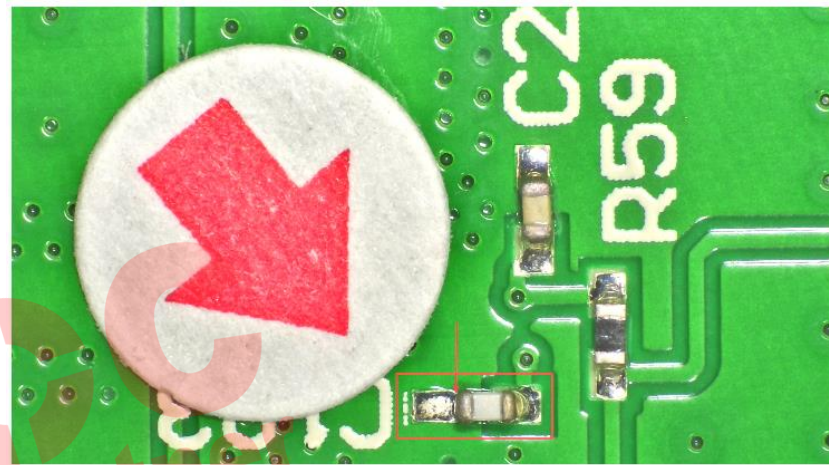
常规阻容料虚假焊锡珠产生原因



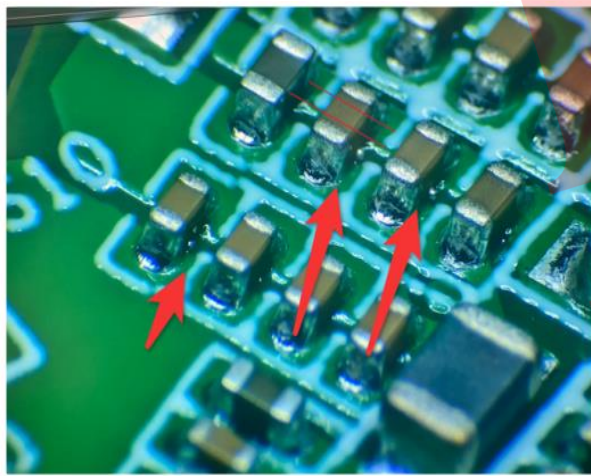
焊盘设计过长



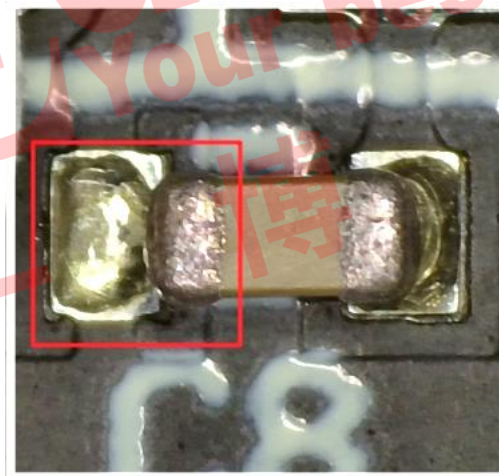
焊盘设计过宽



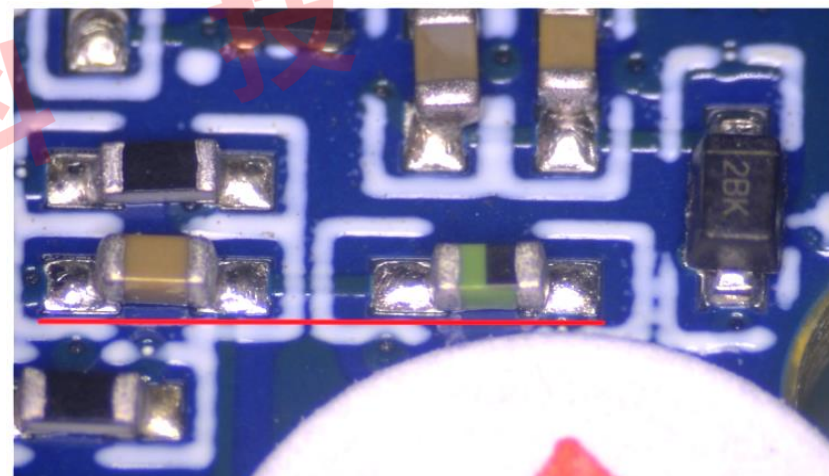
焊盘设计过长



焊盘内距过小



焊盘内距过大



焊盘设计过长

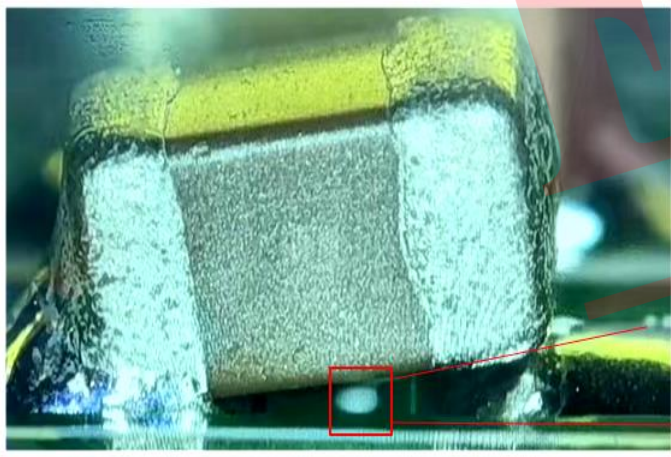
- 常规阻容料虚假焊锡珠产生原因



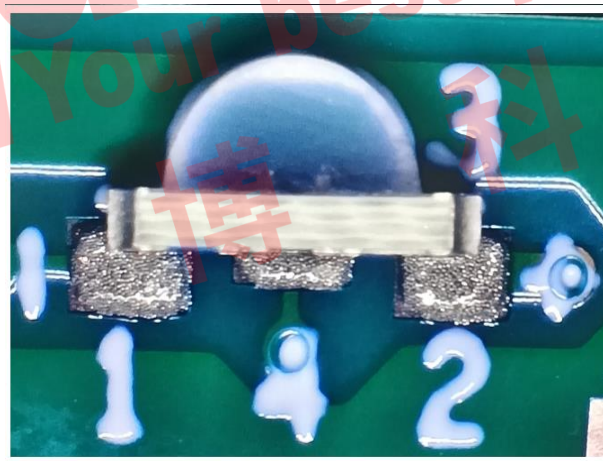
圆形焊盘设计



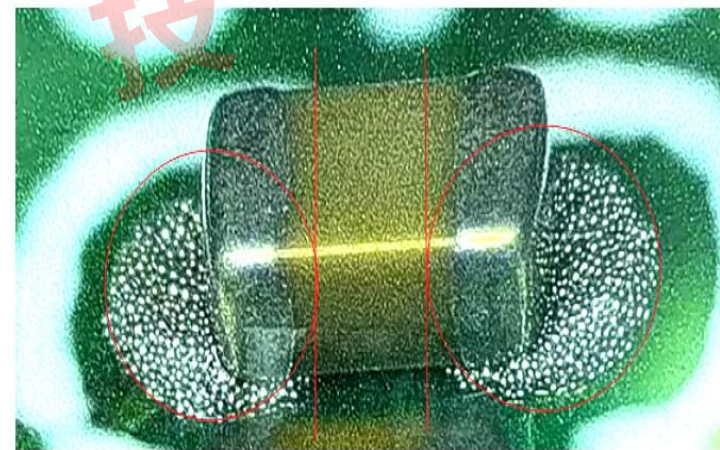
圆形焊盘设计内距过窄



焊盘内距中间有白漆丝印



白漆丝印油墨过粗或过厚

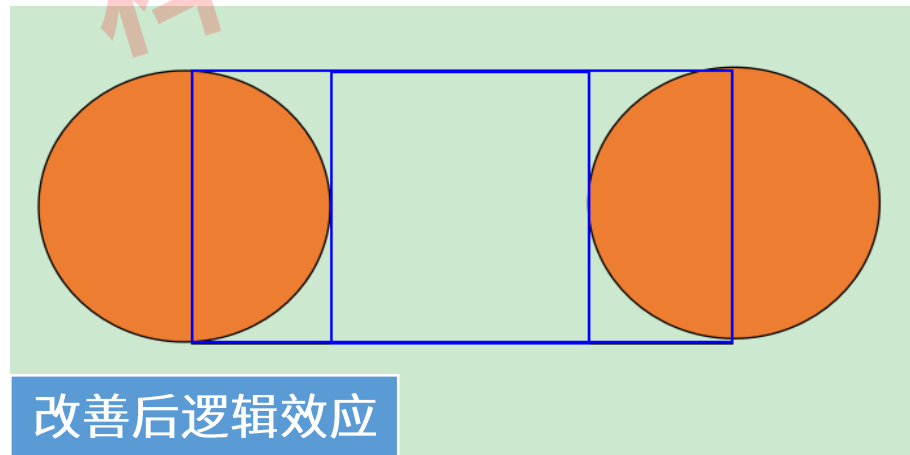
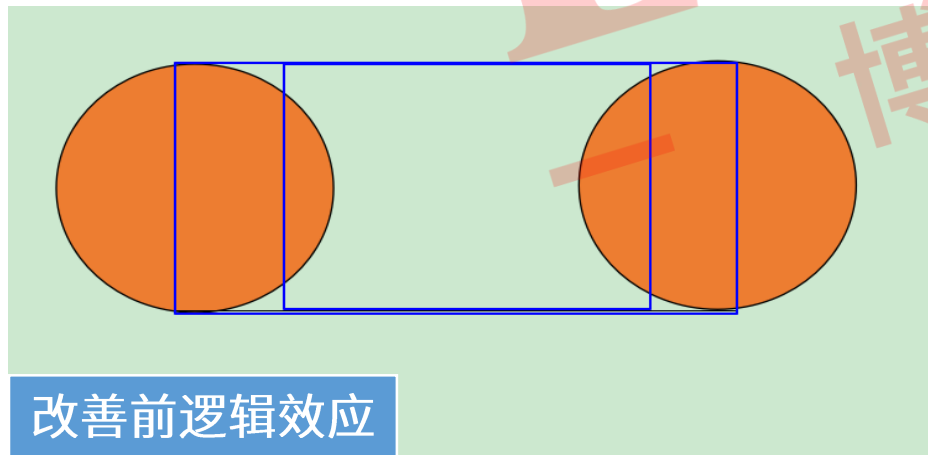


圆形焊盘设计内距过窄

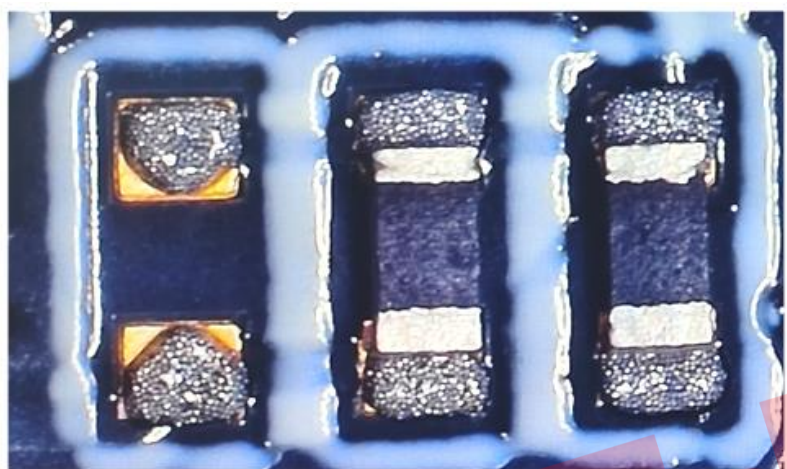
• 常规阻容料虚假焊锡珠产生原因与对策

从异常图片看造成阻容器件焊接失效设计原因有5点

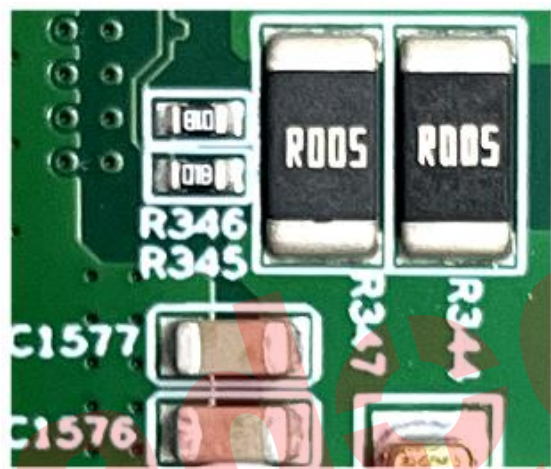
1. 焊盘设计过长、过宽，远大于器件可焊接端。虚焊、立碑（优化钢网开孔、调整焊接炉温或优化焊盘设计）
2. 焊盘内距过小、宽度过窄，器件本体不可焊接端压在了焊盘上。锡珠（重新设计钢网开孔或优化焊盘设计）
3. 焊盘与焊盘间内距过长，器件可焊接端接触到焊盘的面积过小。虚焊、不爬锡虚焊（优化钢网开孔、调整焊接炉温或优化焊盘设计）
4. 文字漆设计在焊接器件底部，且厚度过厚顶起呈跷跷板效应导致器件一端虚假焊。（增加锡量或要求文字漆厚度.文字漆厚度在7~15um范围不受影响，超过20um以上就有潜在风险）查询业界标准没有要求在器件底部设计文字漆的要求，文字漆粗细详细设计信息可关注一博高速先生文章中有介绍。
5. 圆形焊盘设计盲区，器件本体不可焊接端会顶起，设计不合理。立碑、锡珠（重新设计钢网开孔或优化焊盘设计）



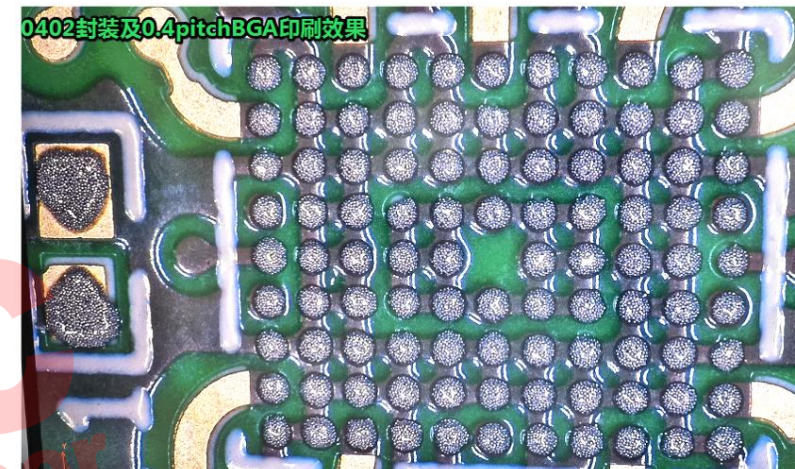
- 标准封装器件匹配标准焊盘焊图示+钢网设计防锡珠后接后效果/器件封装及推荐焊盘



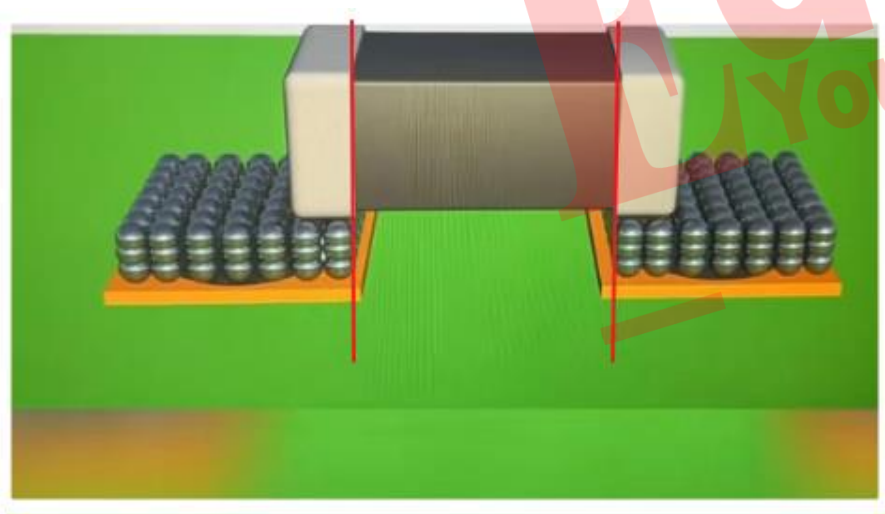
钢网开孔配合标准焊盘印刷效果



标准封装焊接后效果



防锡珠设计及印刷效果

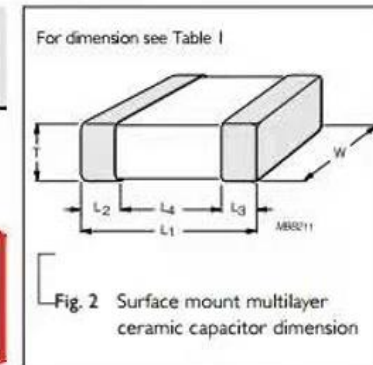


标准焊盘设计及器件贴装后示意图

Table 1 For outlines see fig. 2

TYPE	L ₁ (mm)	W (mm)	T (MM)	L ₂ / L ₃ (mm)		L ₄ (mm)	DIMENSION CODE
				min.	max.	min.	
0201	0.6 ±0.03	0.3 ±0.03	0.3 ±0.03	0.1	0.2	0.2	BA
	0.6 ±0.05	0.3 ±0.05	0.3 ±0.05	0.1	0.2	0.2	BB
	0.6 ±0.09	0.3 ±0.09	0.3 ±0.09	0.1	0.25	0.2	BC
	0.6 ±0.15	0.3 ±0.15	0.3 ±0.15	0.1	0.25	0.2	BD
0402	1.0 ±0.05	0.5 ±0.05	0.5 ±0.05	0.15	0.35	0.4	CA
	1.0 ±0.10	0.5 ±0.10	0.5 ±0.10	0.15	0.35	0.4	CB
	1.0 ±0.15	0.5 ±0.15	0.5 ±0.15	0.15	0.35	0.4	CC
	1.0 ±0.20	0.5 ±0.20	0.5 ±0.20	0.15	0.35	0.4	CD
0603	1.6 ±0.10	0.8 ±0.10	0.8 ±0.10	0.2	0.6	0.4	DA
	1.6 ±0.15	0.8 ±0.15	0.8 ±0.15	0.2	0.6	0.4	DB
	1.6 ±0.20	0.8 ±0.20	0.8 ±0.20	0.2	0.6	0.4	DC

OUTLINES



常规器件封装尺寸

Thank you!

EDADOC, Your Best Partner.



更多干货请扫码关注高速先生

